

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255912

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

H01L 29/78  
H01L 21/336  
C23C 14/34  
H01L 21/203  
H01L 21/28  
H01L 21/285

(21)Application number : 08-005771

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.01.1996

(72)Inventor : INOUE YASUNORI

(30)Priority

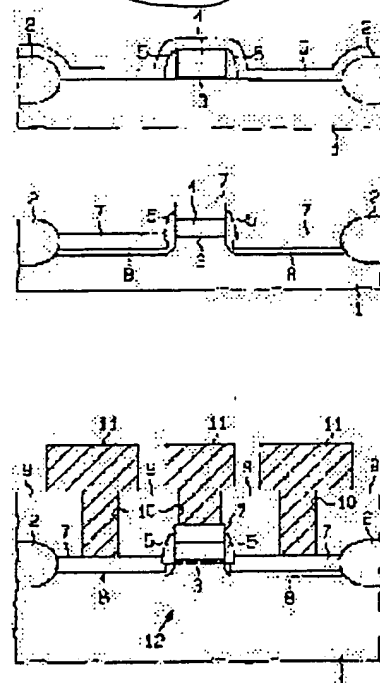
Priority number : 07 5018    Priority date : 17.01.1995    Priority country : JP

(54) SEMICONDUCTOR DEVICE, FABRICATION THEREOF AND TARGET

(57)Abstract:

PURPOSE: To form a shallow junction of a source-drain region while reducing the parasitic resistance in the source-drain region and the interconnection resistance of the gate electrode simultaneously.

CONSTITUTION: Boron doped titanium 6 is deposited on the entire surface of a device. First heat treatment is then carried out to cause reaction among the titanium 6, a silicon substrate 1 and a polysilicon gate electrode 4 thus depositing titanium silicide 7. The boron doped titanium 6 not subjected to silification is then removed by wet etching using a mixture solution of hydrogen peroxide water, ammonia and water heat at about 60°C thus leaving only the titanium silicide 7. Subsequently, second heat treatment is carried out in order to decrease the resistance of the substrate 1 deposited with the titanium silicide 7 and the gate electrode 4. At the same time, boron is diffused from the titanium silicide 7 into the substrate 1 thus



forming a heavily doped shallow junction region 8 about 40nm deep.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255912

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. <sup>8</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			C 2 3 C 14/34	A
C 2 3 C 14/34			H 0 1 L 21/203	S
H 0 1 L 21/203			21/28	3 0 1 T
21/28	3 0 1		21/285	S

審査請求 未請求 請求項の数17 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願平8-5771

(22) 出願日 平成8年(1996)1月17日

(31) 優先権主張番号 特願平7-5018

(32) 優先日 平7(1995)1月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 井上 恭典

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

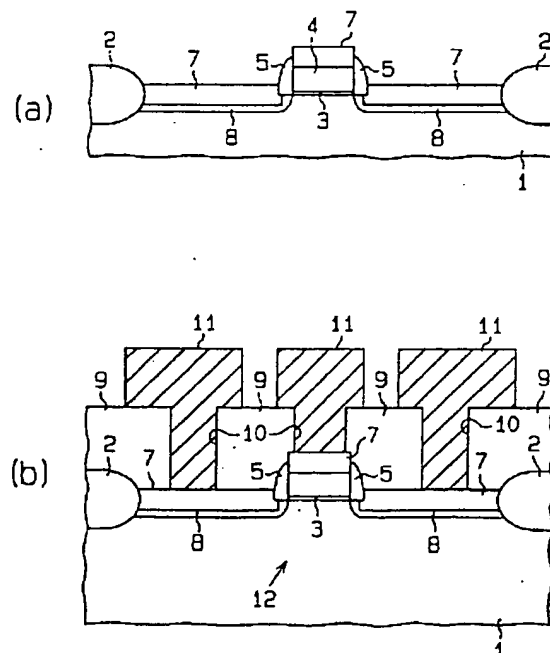
(74) 代理人 弁理士 岡田 敏

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、ターゲット

(57) 【要約】

【課題】ソース・ドレイン領域の寄生抵抗とゲート電極の配線抵抗とを同時に低減した上で、ソース・ドレイン領域の浅い接合を形成する。

【解決手段】デバイスの全面にボロンをドーパしたチタン膜6を形成する。次に、1回目の熱処理を行い、チタン膜6とシリコン基板1およびポリシリコンから成るゲート電極4とを反応させてチタンシリサイド膜7を形成する。続いて、60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液を用いたウェットエッチング法により、シリサイド化していないボロンドープドチタン膜6を除去してチタンシリサイド膜7だけを残す。その後、2回目の熱処理を行い、チタンシリサイド膜7が表面に形成された基板1およびゲート電極4の抵抗を低減する。それと同時に、チタンシリサイド膜7中のボロンが基板1中に拡散し、接合深さが40nm程度の高濃度の浅い接合領域8が形成される。



1

【特許請求の範囲】

【請求項1】 不純物がドーパされた金属膜を備えたことを特徴とする半導体装置。

【請求項2】 ソース領域またはドレイン領域が浅い接合で形成され、ドレイン領域が低濃度領域と高濃度領域とを有したLDD構造を備え、その低濃度領域はゲート電極の側壁に形成されたドーパドオキサイドから成るサイドウォールスペースの下部に形成され、ソース領域またはドレイン領域の上に自己整合的にシリサイド膜が形成されたシリサイド構造を備え、シリサイド膜には不純物がドーパされていることを特徴とした半導体装置。

【請求項3】 PVD法またはCVD法による金属膜の形成時に、その金属膜の原料に不純物を添加することで、不純物がドーパされた金属膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項4】 スパッタ法による金属膜の形成時に、予め不純物が添加された合金ターゲットを用いることで、不純物がドーパされた金属膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項5】 スパッタ法による金属膜の形成時に、金属膜の原料から成るターゲットと不純物から成るターゲットとを用いることで、不純物がドーパされた金属膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項6】 CVD法による金属膜の形成時に、その金属膜の原料ガスに不純物を添加することで、不純物がドーパされた金属膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項7】 請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、シリコン層上に不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】 請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物がドーパされたシリコン層上に、シリコン層と異なる導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させてシリコン層にp n接合を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項9】 請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物がドーパされたシリコン層上に、シリコン層と同じ導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の

2

不純物をシリコン層中へ拡散させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項10】 シリコン層上にゲート絶縁膜およびゲート電極を形成する工程と、

ゲート電極の側壁にサイドウォールスペースを形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、前記の工程で形成されたデバイスの全面に不純物がドーパされた金属膜を形成する工程と、

熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成してシリサイド構造を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させてソース領域またはドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項11】 シリコン層上にゲート絶縁膜およびゲート電極を形成する工程と、

ゲート電極の側壁にドーパドオキサイドから成るサイドウォールスペースを形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、前記の工程で形成されたデバイスの全面に不純物がドーパされた金属膜を形成する工程と、

熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成してシリサイド構造を形成すると共に、金属膜中の不純物およびサイドウォールスペース中の不純物をそれぞれシリコン層中へ拡散させてソース領域またはドレイン領域を形成してLDD構造を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項12】 請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物領域に通じるコンタクトホールを少なくとも底部に、不純物がドーパされた金属膜を形成する工程と、

この金属膜を不純物領域に接続される金属配線の少なくとも一部分として加工する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項13】 シリコン基板の表面に不純物領域を形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物領域に通じるコンタクトホールの少なくとも底部に、不純物領域と同じ導電性の不純物がドーパされた金属膜を形成する工程と、

熱処理を行うことで、金属膜とシリコン基板とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン基板の表面へ拡散させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項14】 シリコン基板に第1導電型の不純物領域と第2導電型の不純物領域とを形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、第1導電型の不純物領域に通じるコンタクトホールの少なくとも底部に、この不純物領域と同じ

導電性の不純物がドーパされた第1金属膜を形成する工程と、  
熱処理を行うことで、第1金属膜とシリコン基板とが接触している箇所にシリサイド膜を形成する工程と、  
請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、第2導電型の不純物領域に通じるコンタクトホールを少なくとも底部に、この不純物領域と同じ導電性の不純物がドーパされた第2金属膜を形成する工程と、  
シリサイド膜及び第2金属膜の少なくとも一方を、各不純物領域に接続される金属配線の少なくとも一部分として加工する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項15】 請求項12～14のいずれか1項に記載の半導体装置の製造方法において、不純物領域は、トランジスタのソース又はドレインとして機能することを特徴とした半導体装置の製造方法。

【請求項16】 請求項7～11、14のいずれか1項に記載の半導体装置の製造方法において、前記シリサイド膜の形成後に、シリサイド化していない金属膜を除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項17】 スパッタ法で用いられるターゲットにおいて、金属材料に不純物が添加された合金から成ることを特徴としたターゲット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、半導体装置の製造方法、ターゲットに関するものである。

【0002】

【従来の技術】近年、半導体装置の高集積化・高速化を実現するため、デザインルールのさらなる縮小が検討されている。今日では、256MDRAMの試作、ゲート長0.1 $\mu$ mのCMOSトランジスタの試作が発表されている。このようなトランジスタの微細化の進展により、スケールリング則に従ったデバイスサイズの縮小と、それに伴う動作の高速化とが期待される。

【0003】しかし、単にトランジスタを微細化しただけでは、チャネル抵抗の減少は可能になるものの、ソース・ドレインの拡散層（ソース・ドレイン領域）の寄生抵抗やコンタクト部の抵抗（コンタクト抵抗）がチャネル抵抗と同等かそれ以上に大きくなり、動作の高速化を図る上で障害となる。加えて、動作の高速化を図るには、ゲート配線（電極）を低抵抗化する必要もある。

【0004】従来より、半導体デバイスにおけるこれらの抵抗を低くする手段として、チタン（Ti）、チタンタングステン（TiW）、窒化チタン（TiN）などの高融点金属又はその化合物が用いられている。以下、この高融点金属を用いた低抵抗化の具体的手法について、いくつか説明する。

【0005】1) サリサイド法

ソース・ドレイン領域の寄生抵抗とゲート電極の配線抵抗とを同時に低減する方法として、サリサイド（Salicide; Self-aligned silicide）法が提案されている（T. Yoshida, et. al.: J. Electrochem. Soc., Vol. 137, No. 6, (1990) pp1914-1917. 参照）。

【0006】一般的なサリサイド法（サリサイド構造）を用いたLDD（Lightly Doped Drain）構造のpチャネルMOSトランジスタの製造方法を、図10及び図11に示すデバイスの断面模式図に従って説明する。

工程1（図10（a）参照）：LOCOS（Localized Oxidation of Silicon）法を用い、n形単結晶シリコン基板71上に素子分離領域72を形成する。次に、熱酸化法を用い、基板71上にシリコン酸化膜を形成する。続いて、CVD（Chemical Vapor Deposition）法を用い、シリコン酸化膜上にボロンをドーパしたドーパドポリシリコン膜を形成する。そして、ドーパドポリシリコン膜及びシリコン酸化膜を所望の形状にパターニングして、ゲート絶縁膜73及びゲート電極74を形成する。

【0007】工程2（図10（b）参照）：ゲート電極74をイオン注入用マスクとして用い、基板71の表面にボロンイオン（B<sup>+</sup>）を注入して、自己整合的（セルフアライン）に低濃度領域75を形成する。

工程3（図10（c）参照）：CVD法を用い、上記の工程で形成されたデバイスの全面にシリコン酸化膜を形成する。次に、全面エッチバック法を用いてシリコン酸化膜をエッチバックし、ゲート電極74の側壁にサイドウォールスペーサ76を形成する。続いて、ゲート電極74及びサイドウォールスペーサ76をイオン注入用マスクとして用い、基板71の表面にフッ化ボロンイオン（BF<sub>2</sub><sup>+</sup>）を注入して、自己整合的に高濃度領域77を形成する。

【0008】工程4（図11（a）参照）：等方性エッチングを用い、基板71表面に形成された自然酸化膜を除去する。次に、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にチタン膜78（膜厚：30nm）を形成する。

工程5（図11（b）参照）：電気炉中での熱処理法またはRTA（Rapid Thermal Annealing）法を用い、処理温度：600～700℃で1回目の熱処理を行う。その結果、チタン膜78と基板71、チタン膜78とゲート電極74とがそれぞれ接触している箇所に自己整合的にチタンシリサイド（TiSi<sub>2</sub>）膜79が形成される。それと同時に、低濃度領域75中および高濃度領域77中のボロンが活性化される。尚、電気炉中での熱処理法を用いた場合の処理時間は30分間程度、RTA法を用いた場合の処理時間は30秒程度である。このとき、チタン膜78とサイドウォールスペーサ76とが接触している箇所には、チタンシリサイド膜79は形成されない。

【0009】次に、60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液（混合比は、 $\text{H}_2\text{O}_2 : \text{NH}_4\text{OH} : \text{H}_2\text{O} = 1 : 1 : 5$ ）を用いたウェットエッチング法により、シリサイド化していないチタン膜78を除去してチタンシリサイド膜79だけを残す。続いて、電気炉中での熱処理法またはRTA法を用い、処理温度：750～900℃で2回目の熱処理を行う。尚、2回目の熱処理時間は1回目の熱処理のそれと同じである。この2回目の熱処理により、チタンシリサイド膜79が表面に形成されたゲート電極74、チタンシリサイド膜79が表面に形成された高濃度領域77のそれぞれのシート抵抗は5Ω/□程度に低減される。

【0010】工程6（図11（c）参照）：上記の工程で形成されたデバイスの全面に層間絶縁膜80を形成する。次に、異方性エッチングを用い、層間絶縁膜80にチタンシリサイド膜79とコンタクトするコンタクトホール81を形成する。続いて、スパッタ法を用い、コンタクトホール81内に金属材料を充填して金属配線82を形成する。その結果、低濃度領域75と高濃度領域77とから成るソース・ドレイン領域83を備えたLDD構造のpチャネルMOSトランジスタ84の製造工程が完了する。

【0011】MOSトランジスタ83では、チタンシリサイド膜79が形成されたことにより、ソース・ドレイン領域83の寄生抵抗とゲート電極74の配線抵抗とが同時に低減される。尚、LDD構造のnチャネルMOSトランジスタを形成する際には、各領域75、77にn形不純物（リン、ヒ素、等）をイオン注入すればよい。

【0012】また、チタン膜78をニッケル膜、プラチナ膜、コバルト膜などに置き代えることで、チタンシリサイド膜79をニッケルシリサイド膜、プラチナシリサイド膜、コバルトシリサイド膜などに置き代えることができる（第41回応用物理学関係連合講演会予稿集（1994年）、29p-ZG-13、29p-ZG-14参照）。

2) Ti/TiN積層バリアメタルを利用する方法  
ソース・ドレイン領域と金属配線との間のコンタクト抵抗を低減する方法として、Ti/TiN積層バリアメタル法がある。これは、同時に、金属配線を構成するAlなどとSi基板とが反応することを防止する構造でもある。

【0013】一般的な構造のpチャネルMOSトランジスタに金属配線を接続するプロセスを、図12に示すデバイスの断面模式図に従って説明する。尚、この製造方法において、前記したシリサイド法のそれと同じ構成部材についてはその符号を等しくする。

工程1（図12（a）参照）：図10と同じ手法で、pチャネルMOSトランジスタを形成する。

【0014】工程2（図12（b）参照）：通常のCVD法を用い、上記の工程で形成されたデバイスの全面にHTO膜やBPSG膜などの層間絶縁膜101を形成

する。

工程3（図12（c）参照）：フォトリソグラフィ技術及びドライエッチング技術を用いて、前記層間絶縁膜101に、前記ソース・ドレイン領域83及びゲート電極74に通じるコンタクトホール102～104をそれぞれ形成する。

【0015】工程4（図12（d）参照）：マグネトロンスパッタ法を用いて、前記層間絶縁膜101上及びコンタクトホール102～104内にTi膜105（膜厚30～50nm）を形成する。

工程5（図12（e）参照）：Ti膜105の上に、マグネトロンスパッタ法を用いて、TiN膜106（膜厚70～100nm）を形成する。更にその上に、アルミ合金膜（Al-Si（1%）-Cu（0.5%））107を形成し、フォトリソグラフィ技術及びドライエッチング技術により、これらの金属膜を所定形状に加工する。

【0016】こうして、pチャネルMOSトランジスタとAl配線との接続を完了させる。前記Ti膜105はコンタクト部においてトランジスタと配線との間に設けられ、この部分のコンタクト抵抗を低減させる動きをする。前記TiN膜106は、AlとSiとが反応することを防止するいわゆるバリアメタルの動きをする。しかしながら、この手法では、ソース・ドレイン領域83にドーパされているホウ素（B）がTi膜105中に拡散し、ソース・ドレイン領域83の不純物濃度が低下するため、コンタクト抵抗の大幅な低下が望めない問題がある。

【0017】そこで、このTi膜105にBが拡散することを考慮して、予めTi膜105を形成する前に、ソース・ドレイン領域83にBを追加ドーピングする手法が提案されている（Proceedings VMIC Conference June 12-13, 1989, P105参照）。これを、図13に基づいて説明する。尚、図13a～cの工程は図12a～cの工程と共通なので、説明を省略し、それ以降の工程から説明する。

【0018】工程6（図13（d）参照）：層間絶縁膜101をマスクとして、前記ソース・ドレイン領域83及びゲート電極74に、Bをイオン注入し、更に熱処理して活性化することにより、ソース・ドレイン領域83の表面に新たなp<sup>+</sup>層108を形成する。その後は、図12d、eと同様にTi膜105/TiN膜106/Al合金膜107からなる金属配線を形成する。

【0019】こうすることにより、コンタクト抵抗は、直径1μmのコンタクトホールにおいて30～50Ω程度に低下させることができる。

3) シリコン基板への固相拡散源としてドーパドオキシaidを利用する方法

ところで、トランジスタを微細化するためには、ソース・ドレイン間のパンチスルーを防ぐ必要から、ソース・

ドレイン領域 (nチャネルMOSトランジスタではn<sup>+</sup>層、pチャネルMOSトランジスタではp<sup>+</sup>層)の浅い接合 (shallow junction) を形成しなければならない。

【0020】ソース・ドレイン領域の浅い接合を形成する方法としては、シリコン基板への固相拡散源としてドーパドオキシドを利用する方法が提案されている (M. Saito, et. al.: IEEE, IEDM, (1992) pp897-900. 参照)。ドーパドオキシドとしてBSG (Boro-Silicate Glass) 膜を用いたLDD構造のpチャネルMOSトランジスタの製造方法を、図14及び図15に示すデバイスの断面模式図に従って説明する。尚、この製造方法において、前記したサリサイド法のそれと同じ構成部材についてはその符号を等しくする。

【0021】工程1 (図14 (a) 参照) : 前記したサリサイド法における工程1 (図10 (a) 参照) と同じである。

工程2 (図14 (b) 参照) : CVD法を用い、上記の工程で形成されたデバイスの全面にボロン濃度:  $4 \times 10^{21} \text{ cm}^{-3}$  のBSG膜 (膜厚: 100nm) を形成する。BSG膜を形成するには、CVD成長時において、原料ガスであるシラン ( $\text{SiH}_4$ ) ガスにジボラン ( $\text{B}_2\text{H}_6$ ) ガスを添加すればよい。次に、全面エッチバック法を用いてBSG膜をエッチバックし、ゲート電極74の側壁にサイドウォールスペーサ91を形成する。

【0022】工程3 (図14 (c) 参照) : RTA法を用い、処理時間: 3秒程度、処理温度: 1000℃で1回目の熱処理を行い、サイドウォールスペーサ91中のボロンを基板71中に拡散させて低濃度の浅い接合領域92を形成する。

工程4 (図15 (a) 参照) : ゲート電極74及びサイドウォールスペーサ91をイオン注入用マスクとして用い、基板71の表面にフッ化ボロンイオンを注入して、自己整合的に高濃度領域93を形成する。次に、電気炉中での熱処理法またはRTA法を用いて2回目の熱処理を行い、低濃度の浅い接合領域92中及び高濃度領域93中のボロンを活性化させる。

【0023】工程5 (図15 (b) 参照) : 前記したサリサイド法における工程6 (図11 (c) 参照) と同じである。その結果、低濃度の浅い接合領域92と高濃度領域93とから成るソース・ドレイン領域94を備えたLDD構造のpチャネルMOSトランジスタ95の製造工程が完了する。MOSトランジスタ95では、サイドウォールスペーサ91 (BSG膜) を固相拡散源として用いて低濃度の浅い接合領域92が形成されるため、低濃度の浅い接合領域92の接合深さを40nm程度と浅くすることができる。

【0024】尚、LDD構造のnチャネルMOSトランジスタを形成する際には、サイドウォールスペーサ91を形成するためのBSG膜をPSG (Phospho-Silicate Glass) 膜またはAsSG (Arsenic Silicate Glass) 膜

膜に置き代えると共に、高濃度領域93にn形不純物 (リン、ヒ素、等) をイオン注入すればよい。PSG膜またはAsSG膜を形成するには、CVD成長時において、それぞれシランガスにホスフィン ( $\text{PH}_3$ ) ガスまたはアルシン ( $\text{AsH}_3$ ) ガスを添加すればよい。

【0025】

【発明が解決しようとする課題】図10及び図11に示したサリサイド法にあっては、次のような問題を有する。すなわち、サリサイド法の工程5における2回目の熱処理において、低濃度領域75中および高濃度領域77中のボロンが基板71中に深く拡散する。そのため、ソース・ドレイン領域83の接合深さを100nm以下にすることが難しい。つまり、この方法では、ソース・ドレイン領域83の寄生抵抗とゲート電極74の配線抵抗とを同時に低減することができる反面、ソース・ドレイン領域83の浅い接合を形成することができないという問題がある。

【0026】そこで、チタンシリサイド膜79の形成後にフッ化ボロンイオンの注入を行って高濃度領域77を形成することで、ソース・ドレイン領域83の浅い接合を形成する方法が提案されている。しかし、この方法では、チタンシリサイド膜79の表面に生じている凹凸のため、チタンシリサイド膜79を介して基板71に均一なドーパ量の不純物イオンを注入することが難しい。従って、高濃度領域77の不純物濃度が不均一になるという問題がある。

【0027】また、2回目の熱処理温度を低くすることで、ソース・ドレイン領域83の浅い接合を形成する方法が提案されている。しかし、この方法では、チタンシリサイド膜79とソース・ドレイン領域83の接合との界面における不純物濃度が低下するため、当該接合界面の寄生抵抗が増大する。従って、逆バイアスにおける接合リークが増大や、ドレイン電圧-ドレイン電流 ( $V_{ds} - I_{ds}$ ) 特性の立ち上がり不良という問題が生じる。そこで、チタンシリサイド膜79を薄膜化する方法 (第41回応用物理学関係連合講演会予稿集 (1994年)、29p-ZG-10 参照) や、2重ソース・ドレインイオン注入法を用いる方法 (同、29p-ZG-11 参照) が提案されているが、いずれの方法でも製造工程が複雑化し、スループットが低下するという問題がある。

【0028】尚、チタンシリサイド膜79を他のシリサイド膜 (ニッケルシリサイド膜、プラチナシリサイド膜、コバルトシリサイド膜など) に置き代えた場合においても、上記と同様の問題がある。また、図13に示した手法では次のような問題を有する。すなわち、追加イオン注入で形成されたp<sup>+</sup>領域108を活性化させるために高温のアニールを行うと、MOSトランジスタの初期の動作設計に影響を与えるので、800℃以下の温度を用いざるをえず、イオン注入で形成された結晶欠陥を十分に修復することができない問題がある。

【0029】また、図14及び図15に示すシリコン基板への固相拡散源としてドーパドオキシサイドを利用する方法は次のような問題点を有する。すなわち、低濃度の浅い接合領域92のシート抵抗は $10\text{ k}\Omega/\square$ 程度と極めて高い。つまり、この方法では、ソース・ドレイン領域83の浅い接合を形成することができる反面、ソース・ドレイン領域83の寄生抵抗が増大するという問題がある。

【0030】そこで、ソース・ドレイン領域94全体としての寄生抵抗を低減するため、高濃度領域93の接合深さを深くしてその寄生抵抗を下げることで、低濃度の浅い接合領域92の寄生抵抗の高さを補う方法が提案されている。しかし、この方法では、各ソース・ドレイン領域94間のパンチスルーを抑制するため、低濃度の浅い接合領域92の幅(=サイドウォールスペーサ91の幅)を $0.15\mu\text{m}$ 以上にする必要がある。従って、MOSトランジスタ95の微細化が困難になるという問題がある。

【0031】尚、サイドウォールスペーサ91を形成するためのBSG膜を他のドーパドオキシサイド(PSG膜またはAsSG膜)に置き代えた場合においても、上記と同様の問題がある。本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

【0032】1) 低抵抗で且つ浅い接合を備えた半導体装置およびその製造方法を提供する。

2) 高性能なトランジスタを備えた半導体装置およびその製造方法を提供する。

3) 不純物がドーパされた金属膜を備えた半導体装置およびその製造方法を提供する。

【0033】4) 上記1)または2)の半導体装置の製造方法で用いるターゲットを提供する。

【0034】

【課題を解決するための手段】請求項1に記載の発明は、不純物がドーパされた金属膜を備えたことをその要旨とする。請求項2に記載の発明は、ソース領域またはドレイン領域が浅い接合で形成され、ドレイン領域が低濃度領域と高濃度領域とを有したLDD構造を備え、その低濃度領域はゲート電極の側壁に形成されたドーパドオキシサイドから成るサイドウォールスペーサの下部に形成され、ソース領域またはドレイン領域の上に自己整合的にシリサイド膜が形成されたシリサイド構造を備え、シリサイド膜には不純物がドーパされていることをその要旨とする。

【0035】請求項3に記載の発明は、PVD法またはCVD法による金属膜の形成時に、その金属膜の原料に不純物を添加することで、不純物がドーパされた金属膜を形成する工程を備えたことをその要旨とする。請求項4に記載の発明は、スパッタ法による金属膜の形成時に、予め不純物が添加された合金ターゲットを用いるこ

とで、不純物がドーパされた金属膜を形成する工程を備えたことをその要旨とする。

【0036】請求項5に記載の発明は、スパッタ法による金属膜の形成時に、金属膜の原料から成るターゲットと不純物から成るターゲットとを用いることで、不純物がドーパされた金属膜を形成する工程を備えたことをその要旨とする。請求項6に記載の発明は、CVD法による金属膜の形成時に、その金属膜の原料ガスに不純物を添加することで、不純物がドーパされた金属膜を形成する工程を備えたことをその要旨とする。

【0037】請求項7に記載の発明は、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、シリコン層上に不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させる工程とを備えたことをその要旨とする。

【0038】請求項8に記載の発明は、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物がドーパされたシリコン層上に、シリコン層と異なる導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させてシリコン層にpn接合を形成する工程とを備えたことをその要旨とする。

【0039】請求項9に記載の発明は、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物がドーパされたシリコン層上に、シリコン層と同じ導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させる工程とを備えたことをその要旨とする。

【0040】請求項10に記載の発明は、シリコン層上にゲート絶縁膜およびゲート電極を形成する工程と、ゲート電極の側壁にサイドウォールスペーサを形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、前記の工程で形成されたデバイスの全面に不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成してシリサイド構造を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させてソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

【0041】請求項11に記載の発明は、シリコン層上にゲート絶縁膜およびゲート電極を形成する工程と、ゲート電極の側壁にドーパドオキシサイドから成るサイドウォールスペーサを形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、前記

10

20

30

40

50



## 11

の工程で形成されたデバイスの全面に不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成してサリサイド構造を形成すると共に、金属膜中の不純物およびサイドウォールスペース中の不純物をそれぞれシリコン層中へ拡散させてソース領域またはドレイン領域を形成してLDD構造を形成する工程とを備えたことをその要旨とする。

【0042】請求項12に記載の発明は、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物領域に通じるコンタクトホールを少なくとも底部に、不純物がドーパされた金属膜を形成する工程と、この金属膜を不純物領域に接続される金属配線の少なくとも一部分として加工する工程とを備えたことをその要旨とする。

【0043】請求項13に記載の発明は、シリコン基板の表面に不純物領域を形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物領域に通じるコンタクトホールを少なくとも底部に、不純物領域と同じ導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン基板とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン基板の表面へ拡散させる工程とを備えたことをその要旨とする。

【0044】請求項14に記載の発明は、シリコン基板に第1導電型の不純物領域と第2導電型の不純物領域とを形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、第1導電型の不純物領域に通じるコンタクトホールを少なくとも底部に、この不純物領域と同じ導電性の不純物がドーパされた第1金属膜を形成する工程と、熱処理を行うことで、第1金属膜とシリコン基板とが接触している箇所にシリサイド膜を形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、第2導電型の不純物領域に通じるコンタクトホールを少なくとも底部に、この不純物領域と同じ導電性の不純物がドーパされた第2金属膜を形成する工程と、シリサイド膜及び第2金属膜の少なくとも一方を、各不純物領域に接続される金属配線の少なくとも一部分として加工する工程とを備えたことをその要旨とする。

【0045】請求項15に記載の発明は、請求項12～14のいずれか1項に記載の半導体装置の製造方法において、不純物領域が、トランジスタのソース又はドレインとして機能することをその要旨とする。請求項16に記載の発明は、請求項7～11、14のいずれか1項に記載の半導体装置の製造方法において、前記シリサイド膜の形成後に、シリサイド化していない金属膜を除去する工程を備えたことをその要旨とする。

【0046】請求項17に記載の発明は、スパッタ法で用いられるターゲットにおいて、金属材料に不純物が添

## 12

加された合金から成ることをその要旨とする。すなわち、請求項1に記載の発明によれば、シリコンに対してドーパントとなる不純物がドーパされた金属膜を用いてシリサイド膜を形成すると共に、シリコンに対してドーパントとなる不純物がドーパされた金属膜を固相拡散源として用いることにより、低抵抗で浅い接合を形成することができる。

【0047】また、請求項2に記載の発明によれば、浅い接合で形成されたサリサイド構造のソース領域またはドレイン領域を備えることで、高性能なMOSトランジスタを得ることができる。また、LDD構造を備えることで、ホットキャリア耐性を高めたMOSトランジスタを得ることができる。そして、サイドウォールスペースを固相拡散源として低濃度のドレイン領域が形成される。さらに、シリサイド膜にはシリコンに対してドーパントとなる不純物がドーパされているため、その抵抗値は低くなり、ソース領域またはドレイン領域の寄生抵抗を低減することができる上に、ソース領域またはドレイン領域の浅い接合を形成することができる。

【0048】また、請求項3～6のいずれか1項に記載の発明によれば、シリコンに対してドーパントとなる不純物又は不純物領域からの不純物拡散を抑制するための不純物がドーパされた金属膜を形成することができる。また、請求項7～9のいずれか1項に記載の発明によれば、シリサイド膜の形成と拡散層の形成とを同時に行うことができる。また、拡散層の浅い接合を形成することができる。

【0049】また、請求項10に記載の発明によれば、サイドウォールスペースを金属膜と反応しない材質で形成した場合、サリサイド構造の形成とソース領域またはドレイン領域の形成とを同時に行うことができる。また、金属膜を固相拡散源として用いることで、ソース領域またはドレイン領域の浅い接合を形成することができる。そして、サリサイド構造によってソース領域またはドレイン領域の寄生抵抗を低減することができる。

【0050】また、請求項11に記載の発明によれば、サリサイド構造の形成とソース領域またはドレイン領域の形成とを同時に行うことができる。また、金属膜およびサイドウォールスペースを固相拡散源として用いることで、ソース領域またはドレイン領域の浅い接合を形成することができる。そして、サリサイド構造によってソース領域またはドレイン領域の寄生抵抗を低減することができる。その上、LDD構造を備えることで、ホットキャリア耐性を高めたMOSトランジスタを得ることができる。

【0051】また、請求項12～15のいずれか1項に記載の発明によれば、金属膜に既に不純物がドーパされているので、不純物領域から金属膜へ不純物が拡散しにくく、不純物領域の不純物濃度が低下しにくいので、コンタクト抵抗の低抵抗化が実現できる。特に、請求項1

10

20

30

40

50

3に記載の発明によれば、素子の微細化に伴って、素子分離端とコンタクトホールとの合わせ余裕が小さくなっている場合に、コンタクトホールの形成時に素子分離端もエッチングされ、不純物領域が形成されていないシリコン基板表面が露出しても、金属膜からこの部分に不純物を拡散させることによって、コンタクト抵抗の増加を阻止している。

【0052】また、請求項16に記載の発明によれば、ウェットエッチング法を用いることで、シリサイド化していない金属膜を簡単かつ確実に除去することができ、また、請求項17に記載の発明によれば、請求項4に記載の発明で用いられる合金ターゲットを得ることができる。

【0053】

【発明の実施の形態】

(第1実施形態)以下、本発明をSD (Single Drain) 構造のpチャネルMOSトランジスタの製造方法に具体化した第1実施形態を、図1及び図2に示すデバイスの断面模式図に従って説明する。

【0054】工程1 (図1 (a) 参照) : LOCOS法を用い、n形単結晶シリコン基板1上に素子分離領域2を形成する。次に、熱酸化法を用い、基板1上にシリコン酸化膜を形成する。続いて、CVD法を用い、シリコン酸化膜上にボロンをドーパしたドーパドポリシリコン膜を形成する。そして、ドーパドポリシリコン膜及びシリコン酸化膜を所望の形状にパターニングして、ゲート絶縁膜3 (膜厚: 3.5 nm) 及びゲート電極4 (膜厚: 70 nm) を形成する。

【0055】工程2 (図1 (b) 参照) : モノシランと酸化窒素 ( $\text{N}_2\text{O}$ ) を原料ガスに用いたLPCVD (Low Pressure Chemical Vapor Deposition) 法により、上記の工程で形成されたデバイスの全面にシリコン酸化膜 (膜厚: 50 nm) を形成する。次に、全面エッチバック法を用いてシリコン酸化膜をエッチバックし、ゲート電極4の側壁にサイドウォールスペーサ5を形成する。

【0056】工程3 (図1 (c) 参照) : 等方性エッチングを用い、基板1表面に形成された自然酸化膜を除去する。次に、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にボロンをドーパしたチタン膜6 (膜厚: 30 nm) を形成する。ここで、ボロンをドーパしたチタン膜 (以下、ボロンドープドチタン膜という) 6を形成するには、ターゲットとしてチタンに5wt%のボロンを添加して焼結法で製作した合金ターゲットを用いる。また、スパッタ条件は、基板加熱温度: 300°C、スパッタリングパワー: 3.6W、真空度: 665 mpa (5 m Torr) である。

【0057】工程4 (図2 (a) 参照) : 電気炉中での熱処理法またはRTA法を用い、処理温度: 625°Cで1回目の熱処理を行う。その結果、ボロンドープドチタン膜6と基板1、ボロンドープドチタン膜6とゲート電

極4とがそれぞれ接触している箇所に自己整合的にチタンシリサイド膜7が形成される。尚、電気炉中での熱処理法を用いた場合の処理時間は30分間程度、RTA法を用いた場合の処理時間は30秒程度である。このとき、ボロンドープドチタン膜6とサイドウォールスペーサ5とが接触している箇所には、チタンシリサイド膜7は形成されない。

【0058】ところで、1回目の熱処理温度は600~700°Cが適当であり、この温度範囲より処理温度が高くなるとシリサイド化が進み過ぎて残渣が生じることから各チタンシリサイド膜7間にブリッジが発生する恐れがあり、処理温度が低くなるとチタンシリサイド膜7が形成されなくなる恐れがある。また、1回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0059】次に、60°C程度に加熱した過酸化水素水とアンモニアと水の混合溶液 (混合比は、 $\text{H}_2\text{O}_2 : \text{NH}_4\text{OH} : \text{H}_2\text{O} = 1 : 1 : 5$ ) を用いたウェットエッチング法により、シリサイド化していないボロンドープドチタン膜6を除去してチタンシリサイド膜7だけを残す。続いて、電気炉中での熱処理法またはRTA法を用い、処理温度: 850°Cで2回目の熱処理を行う。尚、2回目の熱処理時間は1回目の熱処理のそれと同じである。この2回目の熱処理により、チタンシリサイド膜7が表面に形成された基板1およびゲート電極4のシート抵抗は $5\Omega/\square$ 程度に低減される。それと同時に、チタンシリサイド膜7中のボロンが基板1中に拡散し、接合深さが40 nm程度の高濃度の浅い接合領域 (拡散層) 8が形成される。尚、接合深さを測定するには、SIMS (Secondary Ion Mass Spectrometry) 法を用いればよい。

【0060】ところで、2回目の熱処理温度は750~900°Cが適当であり、この温度範囲より処理温度が高くなると、チタンシリサイド膜7中からのボロンの拡散が多くなり過ぎて接合が深くなるという傾向があり、処理温度が低くなると、チタンシリサイド膜7中からのボロンの拡散が少なくなると接合が浅くなり過ぎたり、pn接合が形成されなくなるという傾向がある。また、2回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0061】工程5 (図2 (b) 参照) : 上記の工程で形成されたデバイスの全面に層間絶縁膜9を形成する。次に、異方性エッチングを用い、層間絶縁膜9にチタンシリサイド膜7とコンタクトするコンタクトホール10を形成する。続いて、スパッタ法を用い、コンタクトホール10内に金属材料を充填して配線層11を形成する。その結果、高濃度の浅い接合領域8から成るソース・ドレイン領域を備えたSD構造のpチャネルMOSトランジスタ12の製造工程が完了する。

【0062】MOSトランジスタ12では、ソース・ドレイン領域（高濃度の浅い接合領域8）及びゲート電極4の上に自己整合的にチタンシリサイド膜7が形成されているため、ソース・ドレイン領域の寄生抵抗とゲート電極4の配線抵抗とが同時に低減される。また、MOSトランジスタ12では、接合深さが40nm程度の高濃度の浅い接合領域8でソース・ドレイン領域が構成されるため、ソース・ドレイン領域の浅い接合を形成することができる。

【0063】前記した従来のサリサイド法では、チタン膜78と基板71とのシリサイド化反応と、高濃度領域77中のボロンの拡散とが独立して進行する。そのため、高濃度領域77の接合界面（以下、接合界面Aという）と、チタンシリサイド膜79と基板71との接合界面（以下、接合界面Bという）との距離を一定に保つことが難しい。従って、MOSトランジスタ84に逆バイアスを印加すると、各接合界面A、Bの距離が短い箇所においてチタン原子が空乏層中に取り込まれる。その結果、接合リーク電流の増大や、ドレイン電圧-ドレイン電流（ $V_{ds}-I_{ds}$ ）特性の立ち上がり不良という問題が生じる。

【0064】それに対して、本実施例では、ボロンドープドチタン膜6中にボロン原子が存在することから、ボロンドープドチタン膜6を固相拡散源としてボロンが基板1中に拡散してゆく。そのため、高濃度の浅い接合領域8（ソース・ドレイン領域）の接合界面と、チタンシリサイド膜7と基板1との接合界面との距離を一定に保つことができる。従って、MOSトランジスタ12に逆バイアスを印加しても、チタン原子は空乏層中に取り込まれ難い。その結果、接合リーク電流は抑制され、ドレイン電圧-ドレイン電流特性の立ち上がりは良好になる。

【0065】ちなみに、MOSトランジスタ12において、逆バイアスにおける接合リーク電流を実測したところ $1 \times 10^{-9} \text{ A/cm}^2$ と極めて低いオーダーに納まっていることがわかった。このように、本実施形態においては、ソース・ドレイン領域（高濃度の浅い接合領域8）の表面に自己整合的にチタンシリサイド膜7が形成されたサリサイド法（サリサイド構造）と、基板1への固相拡散源としてボロンドープドチタン膜6を用いる方法とが併用されている。

【0066】従って、本実施形態によれば、ソース・ドレイン領域（高濃度の浅い接合領域8）の寄生抵抗とゲート電極4の配線抵抗とを同時に低減した上で、ソース・ドレイン領域の浅い接合を形成することができる。また、本実施形態の製造方法は簡単かつ容易であり、高いスループットを得ることができる。ところで、本実施形態によれば、コンタクトホール10において、ボロンがドーパされたチタンシリサイド膜7を介して配線層1.1と高濃度の浅い接合領域8とのコンタクトがとられてい

る。従って、配線層1.1と高濃度の浅い接合領域8との良好なコンタクトを得ることができる。つまり、ボロンがドーパされることによって低抵抗化されたチタンシリサイド膜7は、多層配線における優秀なバリアメタルとして機能する。

【0067】（第2実施形態）以下、本発明をLDD構造のpチャネルMOSトランジスタの製造方法に具体化した第2実施形態を、図3及び図4に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0068】工程1（図3（a）参照）：第1実施形態の工程1と同じである。

工程2（図3（b）参照）：モノシランと酸化窒素（ $\text{N}_2\text{O}$ ）とTMB（Trimethylboron）を原料ガスに用いたLPCVD法により、上記の工程で形成されたデバイスの全面にボロン濃度： $4 \times 10^{21} \text{ cm}^{-3}$ のBSG膜（膜厚：100nm）を形成する。次に、全面エッチバック法を用いてBSG膜をエッチバックし、ゲート電極4の側壁にサイドウォールスペース21を形成する。

【0069】続いて、RTA法を用い、処理時間：3秒、処理温度：1000℃で1回目の熱処理を行う。その結果、サイドウォールスペース21中のボロンが基板71中に拡散し、接合深さが40nm程度の低濃度の浅い接合領域（拡散層）22が形成される。ところで、1回目の熱処理温度は900～1100℃が適当であり、この温度範囲より処理温度が高くなると、サイドウォールスペース21中からのボロンの拡散が多くなり過ぎて接合が深くなるという傾向があり、処理温度が低くなると、サイドウォールスペース21中からのボロンの拡散が少なくなると接合が浅くなり過ぎたり、pn接合が形成されなくなるという傾向がある。また、1回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様の傾向がある。

【0070】工程3（図3（c）参照）：第1実施形態の工程3と同じである。

工程4（図4（a）参照）：第1実施形態の工程4と同じである。尚、3回目（第1実施形態の工程4においては2回目）の熱処理において、高濃度の浅い接合領域8が形成されるのと同時に、低濃度の浅い接合領域22中のボロンが活性化される。

【0071】工程5（図4（b）参照）：第1実施形態の工程5と同じである。その結果、低濃度の浅い接合領域22と高濃度の浅い接合領域8とから成るソース・ドレイン領域23を備えたLDD構造のpチャネルMOSトランジスタ24の製造工程が完了する。MOSトランジスタ24では、ソース・ドレイン領域23およびゲート電極4の上にチタンシリサイド膜7が形成されているため、ソース・ドレイン領域22の寄生抵抗とゲート電極4の配線抵抗とが同時に低減される。

17

【0072】また、MOSTランジスタ24では、各接合領域8、22の接合深さが共に40nm程度と浅いため、ソース・ドレイン領域23の浅い接合を形成することができる。ちなみに、MOSTランジスタ24において、逆バイアスにおける接合リーク電流を実測したところ、MOSTランジスタ12と同様に、 $1 \times 10^{-9} \text{ A/cm}^2$ と極めて低いオーダーに納まっていることがわかった。

【0073】このように、本実施形態においては、ソース・ドレイン領域23（詳しくは、高濃度の浅い接合領域8）の表面に自己整合的にチタンシリサイド膜7が形成されたサリサイド法（サリサイド構造）と、基板1への固相拡散源としてボロンドープドチタン膜6を用いる方法と、基板1への固相拡散源としてドープドオキサイド（BSG膜、サイドウォールスペーサ21）を用いる方法とが併用されている。

【0074】従って、本実施形態によれば、第1実施形態と同様の作用および効果を得ることができる。加えて、本実施形態によれば、LDD構造を実現することができる。つまり、BSG膜（サイドウォールスペーサ21）のボロン濃度や、サイドウォールスペーサ21の幅を調整することで、低濃度の浅い接合領域22の特性を調節することができ、MOSTランジスタ24のホットキャリア耐性を向上させることや寄生容量を小さくすることができる。

【0075】（第3実施形態）以下、本発明をSD構造のCMOSTランジスタの製造方法に具体化した第3実施形態を、図5及び図6に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、第1及び第2実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0076】CMOSTランジスタは、同一基板1上に形成されたSD構造のpチャネルMOSTランジスタ12とSD構造のnチャネルMOSTランジスタ31とから構成される。

工程1（図5（a）参照）：LOCOS法を用い、p形単結晶シリコン基板1上に素子分離領域2を形成する。次に、基板1上においてnチャネルMOSTランジスタ12が形成される領域αにnウェル40を形成する。続いて、熱酸化法を用い、基板1上にシリコン酸化膜を形成する。

【0077】次に、CVD法を用い、基板1上においてpチャネルMOSTランジスタ12が形成される領域βのシリコン酸化膜上にボロンがドープされたドープドポリシリコン膜を形成する。また、CVD法を用い、領域βのシリコン酸化膜上にリンがドープされたドープドポリシリコン膜を形成する。そして、各ドープドポリシリコン膜及びシリコン酸化膜を所望の形状にパターンニングして、ゲート絶縁膜3、nチャネルMOSTランジスタ31のゲート電極32、pチャネルMOSTランジスタ

18

12のゲート電極4を形成する。

【0078】工程2（図5（b）参照）：モノシランと酸化窒素を原料ガスに用いたLPCVD法により、上記の工程で形成されたデバイスの全面にシリコン酸化膜33（膜厚：50nm）を形成する。次に、領域α上のシリコン酸化膜33をレジストマスク（図示略）で覆う。そして、領域βだけに対して、全面エッチバック法を用いてシリコン酸化膜33をエッチバックし、ゲート電極32の側壁にサイドウォールスペーサ34を形成する。このとき、領域α上のシリコン酸化膜33はレジストマスクで覆われているため、そのまま残る。

【0079】工程3（図5（c）参照）：等方性エッチングを用い、領域βに対応する基板1表面に形成された自然酸化膜を除去する。次に、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にリンをドープしたチタン膜35（膜厚：30nm）（以下、リンドープドチタン膜35という）を形成する。ここで、リンドープドチタン膜35の形成方法は、ボロンドープドチタン膜6の形成方法において、ボロンをリンに置き代えるだけで、その他の条件は同じである。

【0080】工程4（図6（a）参照）：電気炉中での熱処理法またはRTA法を用い、処理温度：625℃で1回目の熱処理を行う。その結果、リンドープドチタン膜35と基板1、リンドープドチタン膜35とゲート電極32とがそれぞれ接触している箇所に自己整合的にチタンシリサイド膜36が形成される。尚、電気炉中での熱処理法を用いた場合の処理時間は30分間程度、RTA法を用いた場合の処理時間は30秒程度である。このとき、リンドープドチタン膜35とサイドウォールスペーサ34とが接触している箇所には、チタンシリサイド膜36は形成されない。また、領域α上にはシリコン酸化膜33が形成されているため、チタンシリサイド膜36は形成されない。

【0081】次に、60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液（混合比は、 $\text{H}_2\text{O}_2 : \text{NH}_4\text{OH} : \text{H}_2\text{O} = 1 : 1 : 5$ ）を用いたウェットエッチング法により、シリサイド化していないリンドープドチタン膜35を除去してチタンシリサイド膜36だけを残す。続いて、電気炉中での熱処理法またはRTA法を用い、処理温度：850℃で2回目の熱処理を行う。尚、2回目の熱処理時間は1回目の熱処理のそれと同じである。この2回目の熱処理により、チタンシリサイド膜36が表面に形成された基板1およびゲート電極32のシート抵抗は $5 \Omega/\square$ 程度に低減される。それと同時に、チタンシリサイド膜36中のリンが基板1中に拡散し、接合深さが30nm程度の高濃度の浅い接合領域（拡散層）37が形成される。

【0082】次に、上記の工程で形成されたデバイスの全面にシリコン酸化膜38を形成する。

工程5（図6（b）参照）：領域β上のシリコン酸化膜

38をレジストマスク(図示略)で覆う。そして、領域αだけに対して、全面エッチバック法を用いてシリコン酸化膜33をエッチバックし、ゲート電極4の側壁にサイドウォールスペーサ5を形成する。その後、第1実施形態と同様にして、ボロンをドーブしたチタンシリサイド膜7及び高濃度の浅い接合領域8を形成する。

【0083】工程6(図6(c)参照):上記の工程で形成されたデバイスの全面に層間絶縁膜9を形成する。次に、異方性エッチングを用い、層間絶縁膜9にチタンシリサイド膜7、36とコンタクトするコンタクトホールを形成する。続いて、スパッタ法を用い、コンタクトホール内に金属材料を充填して配線層11を形成する。その結果、高濃度の浅い接合領域8から成るソース・ドレイン領域を備えたSD構造のpチャネルMOSトランジスタ12、及び高濃度の浅い接合領域37から成るソース・ドレイン領域を備えたSD構造のnチャネルMOSトランジスタ31の製造工程が完了する。

【0084】MOSトランジスタ31では、ソース・ドレイン領域(高濃度の浅い接合領域37)及びゲート電極32の上にチタンシリサイド膜36が形成されているため、ソース・ドレイン領域の寄生抵抗とゲート電極32の配線抵抗とが同時に低減される。また、MOSトランジスタ31では、接合深さが30nm程度の高濃度の浅い接合領域37でソース・ドレイン領域が構成されるため、ソース・ドレイン領域の浅い接合を形成することができる。

【0085】本実施形態では、リンドーブドチタン膜35中にリン原子が存在することから、リンドーブドチタン膜35を固相拡散源としてリンが基板1中に拡散してゆく。そのため、高濃度の浅い接合領域37(ソース・ドレイン領域)の接合界面と、チタンシリサイド膜36と基板1との接合界面との距離を一定に保つことができる。従って、MOSトランジスタ31に逆バイアスを印加しても、チタン原子は空乏層中に取り込まれ難い。その結果、接合リーク電流は抑制され、ドレイン電圧ードレイン電流特性の立ち上がりは良好になる。

【0086】ちなみに、MOSトランジスタ31において、逆バイアスにおける接合リーク電流を実測したところ、MOSトランジスタ12と同様、 $1 \times 10^{-9} \text{ A/cm}^2$ と極めて低いオーダーに納まっていることがわかった。このように、本実施形態においては、ソース・ドレイン領域(高濃度の浅い接合領域8、37)の表面に自己整合的にチタンシリサイド膜7、36が形成されたサリサイド法(サリサイド構造)と、基板1への固相拡散源としてボロンドープドチタン膜6を用いる方法と、基板1への固相拡散源としてリンドーブドチタン膜35を用いる方法とが併用されている。

【0087】ところで、本実施形態によれば、リングがドーブされたチタンシリサイド膜36を介して配線層11と高濃度の浅い接合領域37とのコンタクトがとられて

いる。従って、配線層11と高濃度の浅い接合領域37との良好なコンタクトを得ることができる。つまり、リングがドーブされることによって低抵抗化されたチタンシリサイド膜36は、多層配線における優秀なバリアメタルとして機能する。

【0088】(第4実施形態)以下、本発明をLDD構造のpチャネルMOSトランジスタに金属配線を接続するプロセスを具体化した第4実施形態を、図7に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、図12に示した従来技術と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0089】工程1(図7(a)参照):図12と同じ手法で、pチャネルMOSトランジスタを形成する。ゲート酸化膜73の膜厚は15nm、ゲート電極74の膜厚は100nmである。

工程2(図7(b)参照):上記の工程で形成されたデバイスの全面に、通常のCVD法を用いてHTO膜やBPSG膜などの層間絶縁膜101を形成する。

【0090】工程3(図7(c)参照):フォトリソグラフィ技術及びドライエッチング技術を用いて、前記層間絶縁膜74に、前記ソース・ドレイン領域83及びゲート電極74に通じるコンタクトホール102~104をそれぞれ形成する。

工程4(図7(d)参照):希フッ酸( $\text{HF}:\text{H}_2\text{O}=1:100$ )を用いたウェットエッチング法(時間30~60秒)又はアルゴンイオン( $\text{Ar}^+$ )を用いたスパッタエッチング法により、コンタクトホール102~104底部の自然酸化膜を除去した後、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にボロンをドーブしたチタン膜(以下、ボロンドープドチタン膜という)50(膜厚:30nm)を形成する。

【0091】ここで、ボロンドープドチタン膜50を形成するには、ターゲットとしてチタンに5wt%のボロンを添加して焼結法で製作した合金ターゲットを用いる。また、スパッタ条件は、基板加熱温度:300℃、スパッタリングパワー:3.6W、真空度:665mpa(5mTorr)である。尚、このボロンドープドチタン膜50の膜厚は、10~150nmの範囲が適しており、その中でも、製造コストを下げるため、また、安定したコンタクト抵抗を得るために、20~60nmの範囲がもっとも望ましい。

【0092】工程5(図7(e)参照):ボロンドープドチタン膜50の上に、マグネトロンスパッタ法を用いて、TiN膜106を形成する。更にその上に、アルミ合金膜107を形成し、フォトリソグラフィ技術及びドライエッチング技術により、これらの金属膜を所定形状に加工する。こうして、pチャネルMOSトランジスタとAl配線との接続を完了させる。

【0093】本第4実施形態にあつては、ボロンドープドチタン膜50形成後に、意図的な熱処理は行っていない

21

いが、後のプロセスで、最高温度450℃程度の熱履歴を受ける。図12に示した従来例では、この熱履歴により、コンタクト底部のSi基板表面に存在するB原子がTi又はTiSi<sub>2</sub>膜中に拡散するため、コンタクト底部のB濃度が低下して、直径0.5μmのコンタクトホールにおけるp<sup>+</sup>に対するコンタクト抵抗の値が、約100Ωとなる。

【0094】一方、本第4実施形態にあつては、ポロンドープドチタン膜50自身がもともとB原子を含んでおり、Si基板からポロンドープドチタン膜50へB原子が拡散することが抑制されるので、コンタクト底部のB濃度が低下しにくく、直径0.5μmのコンタクトホールにおけるp<sup>+</sup>に対するコンタクト抵抗の値は、約5〜10Ωと低くなる。尚、直径0.5μmのコンタクトホールにおけるn<sup>+</sup>に対するコンタクト抵抗は、約20〜50Ωという値が得られた。

【0095】(第5実施形態)以下、本発明をLDD構造のpチャネルMOSトランジスタに金属配線を接続するプロセスを具体化した第5実施形態を、図8に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、第4実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0096】工程1(図8(a)参照):第4実施形態の工程1と同様。

工程2(図8(b)参照):第4実施形態の工程2と同様。

工程3(図8(c)参照):フォトリソグラフィ技術及びドライエッチング技術を用いて、前記層間絶縁膜101に、前記ソース・ドレイン領域83及びゲート電極74に通じるコンタクトホール102〜104をそれぞれ形成する。

【0097】この時、素子の微細化に伴って、素子分離端とコンタクトホールとの合わせ余裕が小さくなっている場合には、素子分離端もエッチングされ、ソース・ドレイン領域83が形成されていないSi基板71の表面Sが露出する。

工程4(図8(d)参照):第4実施形態の工程4と同様。

工程5(図8(e)参照):RTA法を用い、窒素(N<sub>2</sub>)雰囲気中、処理温度:900℃で30秒間の熱処理を行う。その結果、ポロンドープドチタン膜50と基板1とが接触している箇所がシリサイド化すると同時に、ポロンドープドチタン膜50中のボロンが基板1中に拡散し、接合深さが40nm程度の高濃度の浅い接合領域(拡散層)51が形成される。尚、接合深さを測定するには、SIMS法を用いばよい。

【0098】ところで、RTAによる熱処理温度は800〜1000℃が適当であり、この範囲の中でも、850〜950℃にすることにより、特に良好な接合統制を得ることができると共に、接合領域51の深さも深くな

22

りすぎず、最適な値となる。尚、熱処理としては、RTA以外にも、電気炉を用いた熱アニールでもよく、例えば、窒素雰囲気中、処理温度:850℃で30分間の熱処理を行えばよい。

【0099】工程5(図8(e)参照):ポロンドープドチタン膜50の上に、マグネトロンスパッタ法を用いて、TiN膜106を形成する。更にその上に、アルミ合金膜107を形成し、フォトリソグラフィ技術及びドライエッチング技術により、これらの金属膜を所定形状に加工する。こうして、pチャネルMOSトランジスタとAl配線との接続を完了させる。

【0100】本第5実施形態にあつては、第4実施形態と同様、直径0.5μmのコンタクトホールにおけるp<sup>+</sup>に対するコンタクト抵抗の値は、約5〜10Ωと低くなる。尚、直径0.5μmのコンタクトホールにおけるn<sup>+</sup>に対するコンタクト抵抗は、約20〜50Ωという値が得られた。また、逆方向の接合リーク電流を測定したところ、 $1 \times 10^{-9}$  A/cm<sup>2</sup>のオーダーであり、特に問題となるような値ではなかった。

【0101】(第6実施形態)以下、本発明を、SD構造のCMOSトランジスタの製造方法を例として、第4実施形態や第5実施形態に対し、n<sup>+</sup>に対するコンタクト抵抗をより低下させる方法を具体化した第6実施形態を、図9に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、第4及び第5実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0102】CMOSトランジスタは、同一基板71上に形成されたSD構造のpチャネルMOSトランジスタ52とSD構造のnチャネルMOSトランジスタ53とから構成される。

工程1(図9(a)参照):LOCOS法を用い、p形単結晶シリコン基板71上に素子分離領域72を形成した後、pチャネルMOSトランジスタ52及びnチャネルMOSトランジスタ53を形成する。尚、nチャネルMOSトランジスタ53は図示しないがnウェルなどに形成する。また、各トランジスタのゲート電極74にはサイドウォール76が形成してある。

【0103】工程2(図9(b)参照):SiH<sub>4</sub>とN<sub>2</sub>Oとの混合ガスを用いたLPCVD法により、上記の工程で形成されたデバイスの全面にシリコン酸化膜54(膜厚:50nm)を形成する。次に、リソグラフィ技術を用いて、pチャネルMOSトランジスタ52のソース・ドレイン領域(図示略)に通じるコンタクトホール55、55を形成する。

【0104】工程3(図9(c)参照):等方性エッチングを用い、コンタクトホール55、55底部に形成された自然酸化膜を除去する。次に、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にポロンドープドチタン膜50(膜厚:30nm)を形成

する。ここで、ボロンドープドチタン膜50の形成方法は、既に述べたものと同様である。

【0105】更に、電気炉中での熱処理法またはRTA法を用い、処理温度：900℃で熱処理を行う。その結果、ボロンドープドチタン膜50と基板1とが接触している箇所に自己整合的にチタンシリサイド膜56が形成される。尚、電気炉中での熱処理法を用いた場合の処理時間は30分間程度、RTA法を用いた場合の処理時間は30秒程度である。このとき、シリコン酸化膜54上には、チタンシリサイド膜56は形成されない。

【0106】工程4(図9(d)参照)：60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液(混合比は、 $H_2O_2 : NH_4OH : H_2O = 1 : 1 : 5$ )を用いたウェットエッチング法により、シリサイド化していないボロンドープドチタン膜50を除去してチタンシリサイド膜56だけを残す。

工程5(図9(e)参照)：リソグラフィ技術を用いてnチャネルMOSトランジスタ53のソース・ドレイン領域(図示略)に通じるコンタクトホールを形成する。

【0107】そして、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にリンをドーブしたチタン膜(以下、リンドープドチタン膜という)57(膜厚：30nm)を形成する。ここで、リンドープドチタン膜57を形成するには、ボロンドープドチタン膜を形成するのと全く同様の方法でよく、ボロンに代えてリンを使用するだけでよい。

【0108】続いて、リンドープドチタン膜57の上に、マグネトロンスパッタ法を用いて、TiN膜106を形成する。更にその上に、アルミ合金膜107を形成する。

工程6(図9(f)参照)：最後に、フォトリソグラフィ技術及びドライエッチング技術により、これらの金属膜を所定形状に加工する。本第6実施形態にあっては、直径0.5μmのコンタクトホールにおけるp<sup>+</sup>に対するコンタクト抵抗の値は、約10~30Ω、直径0.5μmのコンタクトホールにおけるn<sup>+</sup>に対するコンタクト抵抗の値は、約5~10Ωと低い値が得られ、CMOSプロセス上問題の無い値である。また、接合リーク特性についても、第5実施例と同様、問題のない値を得ることができる。

【0109】尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1) チタン膜6, 35, 50, 57を他の金属膜(プラチナ膜、コバルト膜、等)に置き代える。これによって、チタンシリサイド膜7, 36, 56を他のシリサイド膜(プラチナシリサイド膜、コバルトシリサイド膜、等)に置き代えることもできる。その場合、上記の各金属シリサイド膜を形成するには、当該金属膜を形成後に電気炉中での熱処理法またはRTA法を用い、以下の条

件で1回目の熱処理を行う。プラチナシリサイド膜(処理温度：550~650℃、電気炉中での処理時間：30分間程度、RTA法の処理時間：60秒程度)、コバルトシリサイド膜(処理温度：600~700℃、電気炉中での処理時間：30分間程度、RTA法の処理時間：60秒程度)。

【0110】1回目の熱処理において、上記の温度範囲より処理温度が高くなるとシリサイド化が進み過ぎて残渣が生じることからブリッジが発生する恐れがあり、処理温度が低くなると金属シリサイド膜の抵抗値が高くなる恐れがある。また、1回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0111】また、上記の各金属シリサイド膜をウェットエッチングするためのエッチング液としては、以下のものがある。プラチナシリサイド膜(80℃程度に加熱した硝酸と塩酸と水の混合溶液(混合比は、 $HNO_3 : HCl : H_2O = 1 : 1 : 5$ ))、コバルトシリサイド膜(60℃程度に加熱した塩酸と過酸化水素水と水の混合溶液(混合比は、 $HCl : H_2O_2 : H_2O = 1 : 1 : 5$ ))。

【0112】そして、上記の各金属シリサイド膜を低抵抗化するために、以下の処理温度で2回目の熱処理を行う。プラチナシリサイド膜(処理温度：800~900℃)、コバルトシリサイド膜(処理温度：800~900℃)。尚、熱処理時間については、1回目の熱処理のそれと同じである。2回目の熱処理において、上記の温度範囲より処理温度が高くなると、不純物の拡散が多くなり過ぎて接合の深さが大きくなるという傾向があり、処理温度が低くなると不純物の拡散が少なくなって接合が浅くなり過ぎたり、pn接合が形成されなくなるという傾向がある。また、2回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0113】尚、1回目の熱処理によって金属シリサイド膜が十分に低抵抗化されている場合、2回目の熱処理は省いてもよい。

(2) 第3実施形態及び第6実施形態において、リンをドーブしたチタン膜35, 57をヒ素をドーブしたチタン膜に置き代える。ヒ素をドーブしたチタン膜の形成方法は、ボロンドープドチタン膜6の形成方法において、ボロンをヒ素に置き代えるだけで、その他の条件は同じである。

【0114】(3) マグネトロンスパッタ法を用いて不純物がドーブされた金属膜(チタン膜6, 35, 50, 57)を形成する場合、合金ターゲットを用いず、金属単体のターゲットと不純物単体のターゲットとをマグネトロンスパッタ装置内に並べて配置する。

(4) 不純物がドーブされた金属膜(チタン膜6, 35, 50, 57)の形成方法にCVD法を用いる。

25

【0115】その場合、チタン膜を形成するには、原料ガスとして、塩化チタン ( $\text{TiCl}_4$ )、TDMAT (Tetrakis-Dimethylamido-Titanium)、TDEAT (Tetrakis-Diethylamino-Titanium) などを用いる。プラチナ膜を形成するには、原料ガスとして、Cyclopentadienyl allyl Platinum などを用いる。コバルト膜を形成するには、原料ガスとして、Bis-methylcyclopentadienyl Cobalt などを用いる。

【0116】そして、上記した金属膜の原料ガスに、TMB、TMP (Trimethylphosphine)、ジボラン、ホスフィン、アルシン、三フッ化ボロン ( $\text{BF}_3$ ) などの不純物を含んだガスを添加することで、不純物がドーパされた金属膜を形成する。

(5) 第2実施形態において、サイドウォールスペース21を形成するためのBSG膜をPSG膜またはAsSG膜に置き代える。そして、ボロンドープドチタン膜6、チタンシリサイド膜7、高濃度の浅い接合領域8をそれぞれ、リンドープドチタン膜35、チタンシリサイド膜36、高濃度の浅い接合領域37に置き代えてLDD構造のnチャネルMOSトランジスタを形成する。

【0117】(6) 第2実施形態及び上記(5)と第3実施形態とを併用し、LDD構造のCMOSトランジスタを製造する。

(7) 不純物がドーパされた金属膜(チタン膜6、35、50、57)を形成する際に、マグネトロンスパッタ法以外のスパッタ法(同時スパッタ、バイアススパッタ、等)または真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスタイオンビーム法などを含む広義のPVD (Physical Vapor Deposition) 法を用いる。

【0118】(8) 単結晶シリコン基板1、71を単結晶シリコン膜、ポリシリコン膜、アモルファスシリコン膜に置き換え、薄膜トランジスタを形成する。

(9) ゲート絶縁膜3を、シリコン酸化膜以外の適宜な絶縁膜(シリコン窒化膜、等)やそれらの積層膜によって形成する。

(10) サイドウォールスペース5、34、76を、チタン膜6、35と反応しない適宜な材質(シリコン窒化膜、等)によって形成する。チタン膜6、35、50、57を他の金属膜に置き代えた場合には、その金属膜と反応しない材質でサイドウォールスペース5、34、76を形成する。

【0119】(11) 上記(1)～(10)をそれぞれ組み合わせて実施する。

以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項7～11のいずれか1項に記載の半導体装置の製造方法において、前記熱処理の後に、前記熱処理より高温で再度熱処理を行う半導体装置の製造方法。

26

【0120】このようにすれば、シリサイド膜をさらに低抵抗化することができる。

(ロ) 請求項7～11のいずれか1項に記載の半導体装置の製造方法において、前記の工程で形成されたデバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜に前記シリサイド膜とコンタクトするためのコンタクトホールを形成する工程と、そのコンタクトホール内に導電材料を充填して配線層を形成する工程とを備えた半導体装置の製造方法。

【0121】このようにすれば、コンタクト抵抗の低いシリサイド膜と配線層とのコンタクトを実現することができる。ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

(a) シリコン層とは、単結晶シリコン基板だけでなく、ウェル、単結晶シリコン膜、ポリシリコン膜、アモルファスシリコン膜をも含むものとする。

【0122】(b) PVD法とは、同時スパッタ法、バイアススパッタ法、マグネトロンスパッタ法などのスパッタ法だけでなく、真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスタイオンビーム法などをも含むものとする。

【0123】

【発明の効果】

1) 低抵抗で且つ浅い接合を備えた半導体装置およびその製造方法を提供することができる。

2) 高性能なトランジスタを備えた半導体装置およびその製造方法を提供することができる。

【0124】3) 不純物がドーパされた金属膜を備えた半導体装置およびその製造方法を提供することができる。

4) 上記1)または2)の半導体装置の製造方法で用いるターゲットを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の製造方法を説明するための断面模式図である。

【図2】本発明の第1実施形態の製造方法を説明するための断面模式図である。

【図3】本発明の第2実施形態の製造方法を説明するための断面模式図である。

【図4】本発明の第2実施形態の製造方法を説明するための断面模式図である。

【図5】本発明の第3実施形態の製造方法を説明するための断面模式図である。

【図6】本発明の第3実施形態の製造方法を説明するための断面模式図である。

【図7】本発明の第4実施形態の製造方法を説明するための断面模式図である。

【図8】本発明の第5実施形態の製造方法を説明するための断面模式図である。

【図9】本発明の第6実施形態の製造方法を説明するた



27

めの断面模式図である。

【図10】従来例の製造方法を説明するための断面模式図である。

【図11】従来例の製造方法を説明するための断面模式図である。

【図12】従来例の製造方法を説明するための断面模式図である。

【図13】従来例の製造方法を説明するための断面模式図である。

【図14】従来例の製造方法を説明するための断面模式図である。

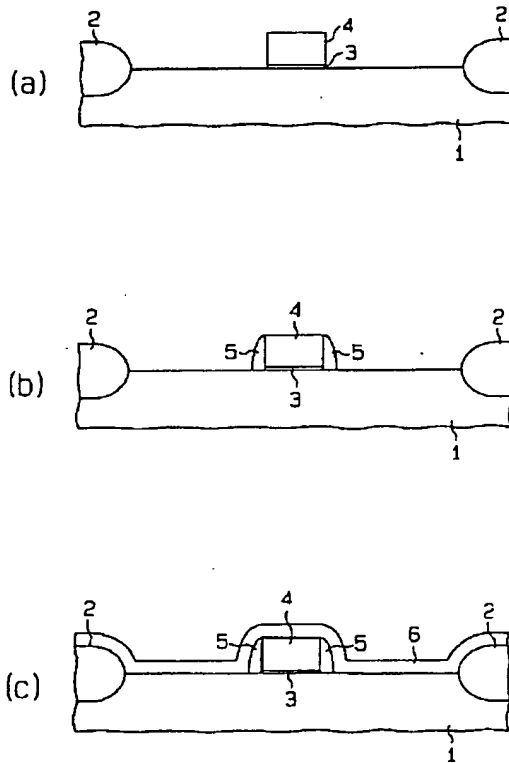
【図15】従来例の製造方法を説明するための断面模式図である。

28

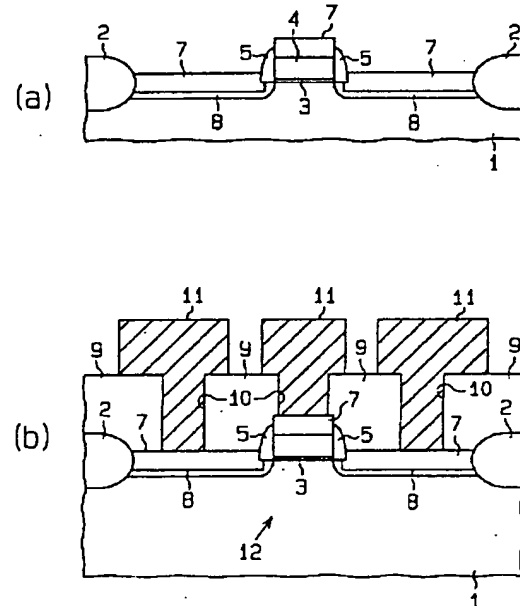
【符号の説明】

- 1, 71 n形単結晶シリコン基板  
 3, 73 ゲート絶縁膜  
 4, 32, 74 ゲート電極  
 5, 34 サイドウォールスペーサ  
 6, , 35 50, 57 チタン膜  
 7, 36, 56 チタンシリサイド膜  
 8, 37 高濃度の浅い接合領域  
 9 層間絶縁膜  
 10, 102, 104 コンタクトホール  
 11 配線層  
 22 低濃度の浅い接合領域  
 23 ソース・ドレイン領域

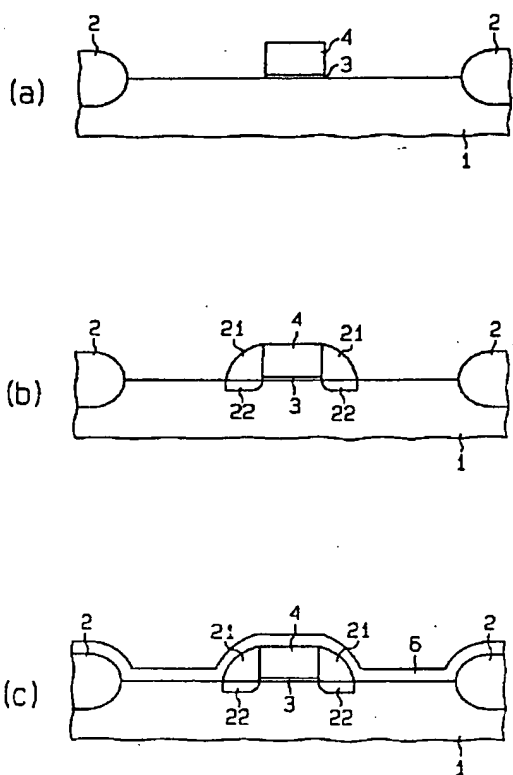
【図1】



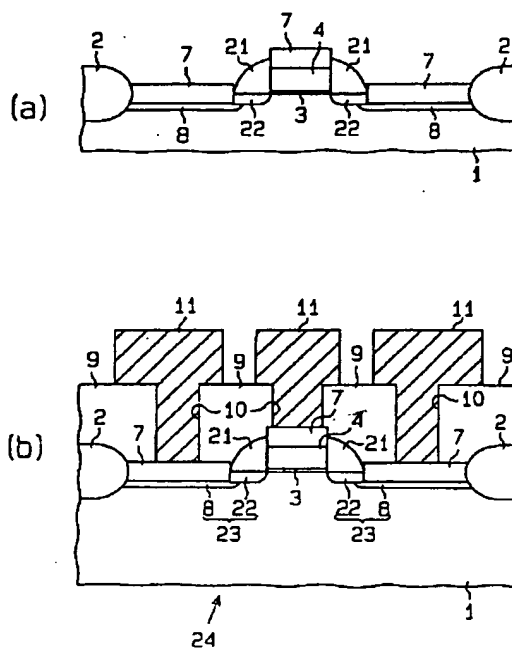
【図2】



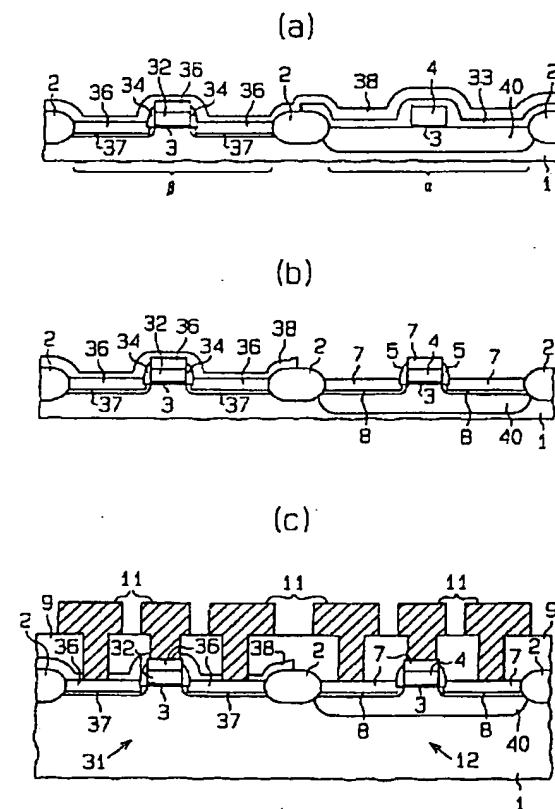
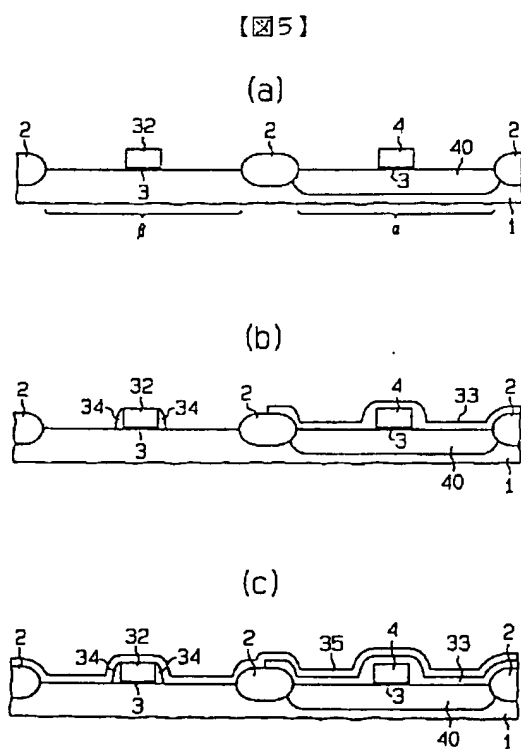
【図3】



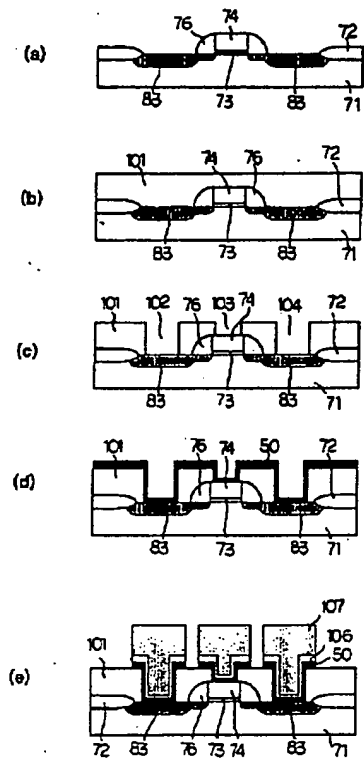
【図4】



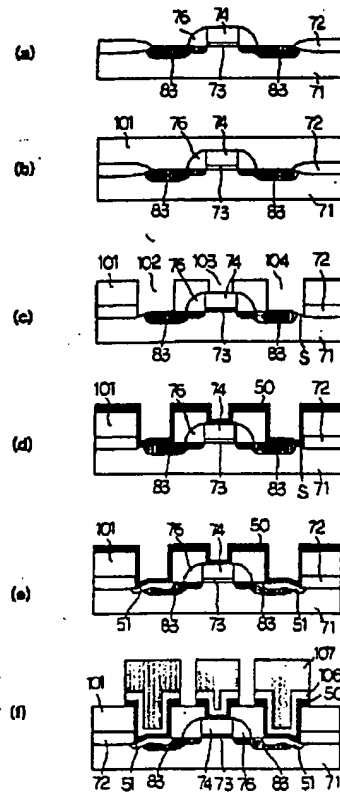
【図6】



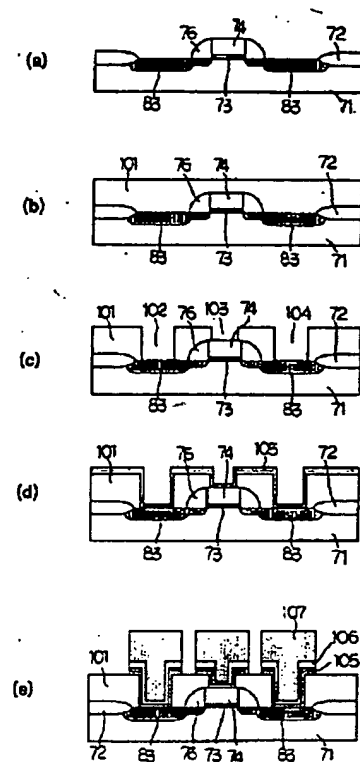
【図7】



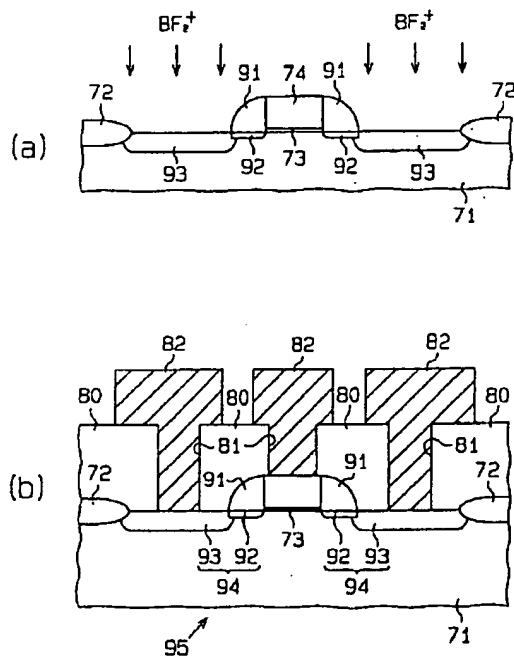
【図8】



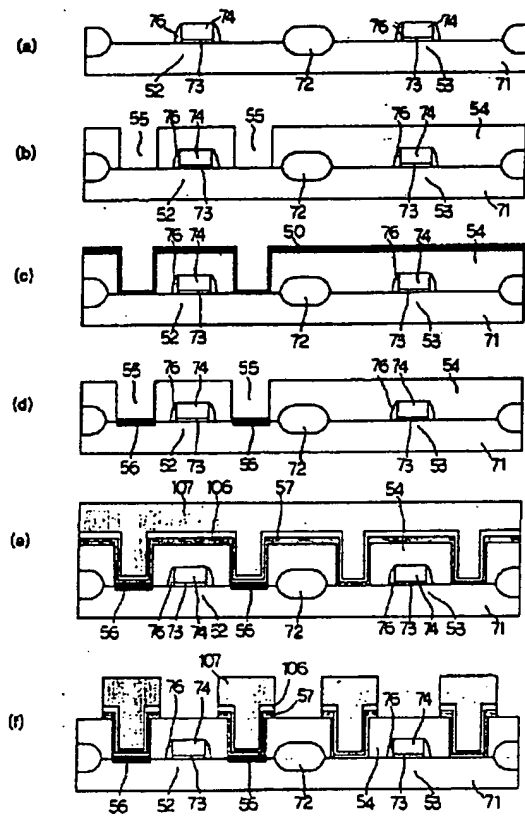
【図12】



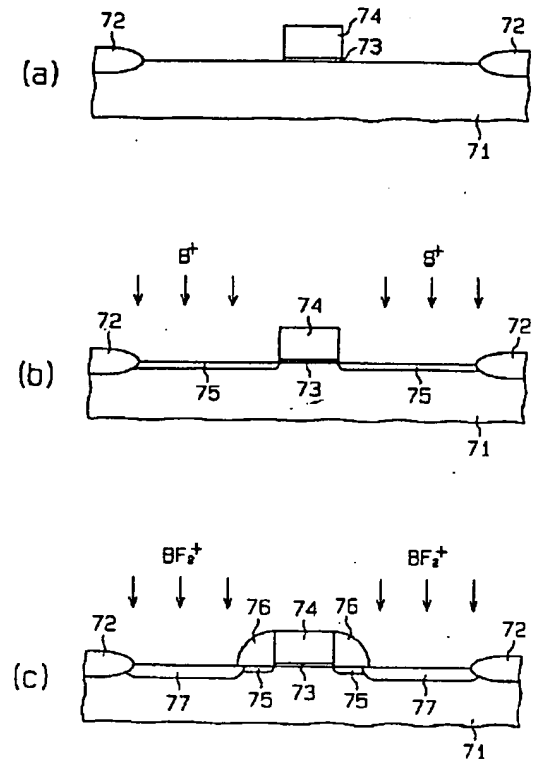
【図15】



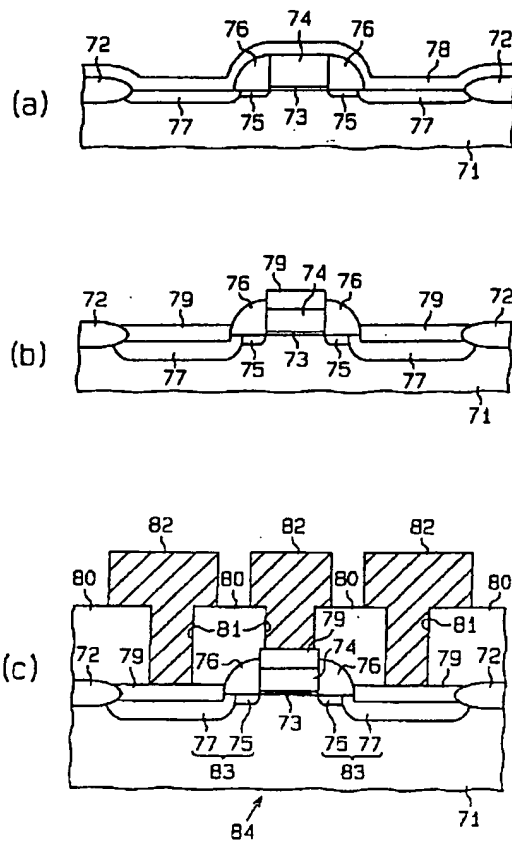
【図9】



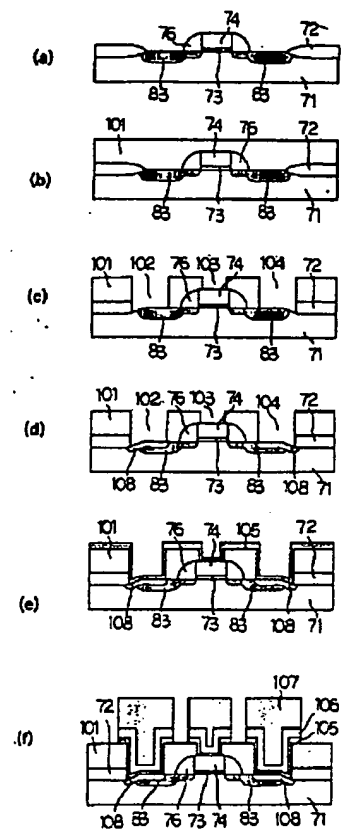
【図10】



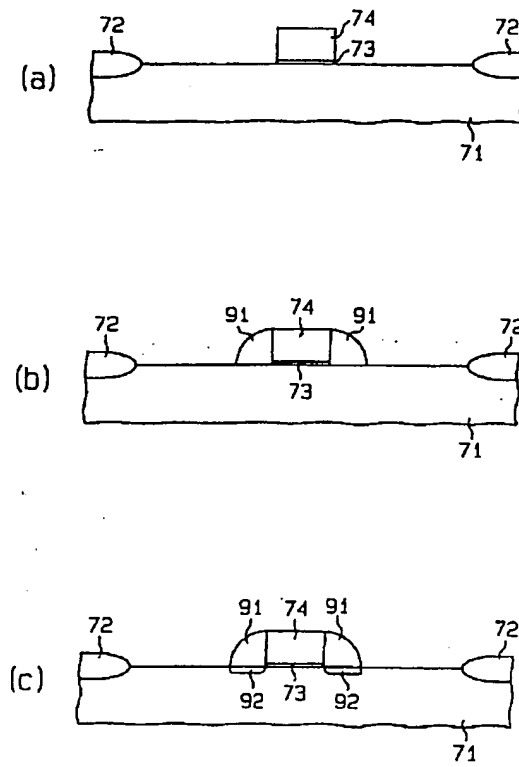
【図11】



【図13】



【図14】



---

フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/285

識別記号 庁内整理番号 F I

技術表示箇所

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the manufacture method of a semiconductor device and a semiconductor device, and a target.

[0002]

[Description of the Prior Art] In order to realize high integration and improvement in the speed of a semiconductor device in recent years, the further contraction of a design rule is considered. The prototype of 256MDRAM and the prototype of the CMOS transistor of 0.1 micrometers of gate length are announced by the end of today. The contraction of device size according to a scaling law and improvement in the speed of the actuation accompanying it are expected by progress of such detailed-izing of a transistor.

[0003] However, it becomes [ whether only by making a transistor detailed, although reduction of channel resistance is attained, parasitism resistance of the diffusion layer (source drain field) of a source drain and resistance (contact resistance) of the contact section are equivalent to channel resistance, and ] more than it, and it becomes a failure when attaining improvement in the speed of operation. In addition, in order to attain improvement in the speed of operation, it is necessary to form gate wiring (electrode) into low resistance.

[0004] Before, it considers as the means which makes these resistance in a semiconductor device low, and refractory metals, such as titanium (Ti), a titanium tungsten (TiW), and titanium nitride (TiN), or the compound of those is used. Hereafter, some are explained about the concrete technique of the reduction in resistance using this refractory metal.

[0005] 1) Salicide -- law -- as the method of reducing parasitism resistance of a source drain field, and wiring resistance of a gate electrode to coincidence -- Salicide (Salicide; Self-aligned silicide) -- law is proposed (T. refer to Yoshida., et.al.: J. Electrochemi. Soc., Vol. 137, No. 6, and pp(1990)1914-1917.).

[0006] The manufacture method of the p channel MOS transistor of LDD (Lightly Doped Drain) structure using the general Salicide method (Salicide structure) is explained according to the cross section of the device shown in drawing 10 and drawing 11.

Production process 1 (refer to drawing 10 (a)): LOCOS (Localized Oxidation of Silicon) -- the element isolation region 72 is formed on n form single crystal silicon substrate 71 using law. Next, silicon oxide is formed on a substrate 71 using the oxidizing [ thermally ] method. then, CVD (Chemical Vapor Deposition) -- the doped polysilicon film which doped boron is formed on silicon oxide using law. And patterning is carried out to the configuration of a request of a doped polysilicon film and silicon oxide, and the gate insulator layer 73 and the gate electrode 74 are formed.

[0007] the Production process 2 (refer to drawing 10 (b)): gate electrode 74 -- as the mask for ion implantations -- using -- the surface of a substrate 71 -- boron ion (B+) -- pouring in -- self align ---like (self aryne) -- the low concentration field 75 is formed.

Production process 3 (refer to drawing 10 (c)): Form silicon oxide all over the device formed at the above-mentioned production process using a CVD method. Next, etchback of the silicon oxide is carried

out using the whole surface etchback method, and the sidewall spacer 76 is formed in the side wall of the gate electrode 74. Then, using the gate electrode 74 and the sidewall spacer 76 as a mask for ion implantations, boron fluoride ion ( $\text{BF}_2^+$ ) is injected into the surface of a substrate 71, and the high concentration field 77 is formed in self align.

[0008] Production process 4 (refer to drawing 11 (a)): Remove the natural oxidation film formed in the substrate 71 surface using isotropic etching. Next, the titanium film 78 (thickness; 30nm) is formed all over the device formed at the above-mentioned production process using the magnetron sputtering method.

the method of heat-treating the inside of a Production process 5(referring to drawing 11 (b)):electric furnace, or RTA (Rapid Thermal Annealing) -- 1st heat treatment is performed at processing temperature:600-700 degree C using law. Consequently, the titanium silicide ( $\text{TiSi}_2$ ) film 79 is formed in the part where the titanium film 78, a substrate 71 and the titanium film 78, and the gate electrode 74 touch, respectively in self align. The boron in the low concentration field 75 and the high concentration field 77 is activated by it and coincidence. in addition, the processing time at the time of using the method of heat-treating the inside of an electric furnace -- a 30-minute about room and RTA -- the processing time at the time of using law is about 30 seconds. The titanium silicide film 79 is not formed in the part where the titanium film 78 and the sidewall spacer 76 touch at this time.

[0009] Next, by the wet etching method using the mixed solution (a mixing ratio is  $\text{H}_2\text{O}_2:\text{NH}_4\text{OH}:\text{H}_2\text{O}=1:1:5$ ) of the hydrogen peroxide solution, ammonia, and water which were heated at about 60 degrees C, the titanium film 78 which has not been silicide-ized is removed and it leaves only the titanium silicide film 79. Then, 2nd heat treatment is performed at processing temperature:750-900 degree C using the heat-treating method or the RTA method in the inside of an electric furnace. In addition, the 2nd heat treatment time amount is the same as it of the 1st heat treatment. By this 2nd heat treatment, each sheet resistance of the gate electrode 74 with which the titanium silicide film 79 was formed in the surface, and the high concentration field 77 where the titanium silicide film 79 was formed in the surface is reduced by 5ohms / \*\* degree.

[0010] Production process 6 (refer to drawing 11 (c)): Form an interlayer insulation film 80 all over the device formed at the above-mentioned production process. Next, the contact hole 81 which contacts the titanium silicide film 79 at an interlayer insulation film 80 is formed using anisotropic etching. Then, using a spatter, in a contact hole 81, it is filled up with a metallic material and the metal wiring 82 is formed. Consequently, the manufacturing process of the p channel MOS transistor 84 of the LDD structure equipped with the source drain field 83 which consists of the low concentration field 75 and the high concentration field 77 is completed.

[0011] In MOS transistor 83, parasitism resistance of the source drain field 83 and wiring resistance of the gate electrode 74 are reduced by coincidence by having formed the titanium silicide film 79. In addition, what is necessary is just to carry out the ion implantation of the n form impurities (Lynn, arsenic, etc.) to each fields 75 and 77, in case the n channel MOS transistor of LDD structure is formed.

[0012] Moreover, the titanium silicide film 79 can be placed and replaced with a nickel silicide film, a platinum silicide film, a cobalt silicide film, etc. by placing and replacing the titanium film 78 with a nickel film, a platinum film, a cobalt film, etc. (the collection (1994) of the 41st applied-physics relation union lecture meeting drafts, 29 p-ZG -13, and 29 p-ZG -14 reference).

2) There is the Ti/TiN laminating barrier metal method as a method of reducing the contact resistance between the method source drain fields and metal wiring using a Ti/TiN laminating barrier metal. This is also the structure of preventing aluminum which constitutes metal wiring, and Si substrate reacting to coincidence.

[0013] It explains according to the cross section of the device which shows the process which connects metal wiring to the p channel MOS transistor of general structure to drawing 12 . in addition, Salicide described above in this manufacture method -- about the same configuration member as it of law, that sign is made equal.

Production process 1 (refer to drawing 12 (a)): Form a p channel MOS transistor by the same technique as drawing 10 .



[0014] Production process 2 (refer to drawing 12 (b)) : The interlayer insulation films 101, such as a HTO film and a BPSG film, are formed all over the device formed at the above-mentioned production process using the usual CVD method.

Production process 3 (refer to drawing 12 (c)): Form the contact holes 102-104 which lead to said interlayer insulation film 101 at said source drain field 83 and the gate electrode 74 using photolithography technology and dry etching technology, respectively.

[0015] Production process 4 (refer to drawing 12 (d)): Form the Ti film 105 (30-50nm of thickness) using the magnetron sputtering method on said interlayer insulation film 101 and in a contact hole 102-104.

Production-process 5(refer to drawing 12 (e)): On the Ti film 105, use the magnetron sputtering method and form the TiN film 106 (70-100nm of thickness). Furthermore, on it, the aluminum alloy film (aluminum-Si(1%)-Cu (0.5%)) 107 is formed, and these metal membranes are processed into a predetermined configuration with photolithography technology and dry etching technology.

[0016] In this way, connection between a p channel MOS transistor and aluminum wiring is made to complete. Said Ti film 105 is formed between a transistor and wiring in the contact section, and serves to reduce contact resistance of this portion. Said TiN film 106 commits the so-called barrier metal which prevents that aluminum and Si react. However, by this technique, since the boron (B) doped by the source drain field 83 is spread in the Ti film 105 and the high impurity concentration of the source drain field 83 falls, there is a problem which cannot desire a sharp fall of contact resistance.

[0017] Then, before forming the Ti film 105 in this Ti film 105 beforehand in consideration of B being spread, the technique of carrying out additional doping of the B is proposed to the source drain field 83 (Proceedings VMIC Conference June 12- 13, 1989, P105 reference). This is explained based on drawing 13 . In addition, since the production process of drawing 13 a-c is as common as the production process of drawing 12 a-c, explanation is omitted and it explains from the production process after it.

[0018] Production process 6 (refer to drawing 13 (d)): Form the new p+ layer 108 in the surface of the source drain field 83 by carrying out the ion implantation of the B, heat-treating further to said source drain field 83 and the gate electrode 74, and being activated to them by using an interlayer insulation film 101 as a mask. After that, the metal wiring which consists of Ti film 105 / TiN film 106 / an aluminum alloy film 107 like drawing 12 d and e is formed.

[0019] By carrying out like this, contact resistance can be reduced to about 30-50ohms in a contact hole with a diameter of 1 micrometer.

3) In order to make a transistor detailed in time with the method of using doped oxide as a source of solid phase diffusion to a silicon substrate, shallow cementation (shallowjunction) of a source drain field (at an n channel MOS transistor, it is p+ in n+ layer and a p channel MOS transistor layer) must be formed from the necessity of preventing the punch-through between source drains.

[0020] As a method of forming shallow cementation of a source drain field, the method of using doped oxide as a source of solid phase diffusion to a silicon substrate is proposed (M. refer to Saito, et.al.:IEEE, IEDM, and pp(1992)897-900.). The manufacture method of the p channel MOS transistor of LDD structure using the BSG (Boro-Silicate Glass) film as doped oxide is explained according to the cross section of the device shown in drawing 14 and drawing 15 . in addition, Salicide described above in this manufacture method -- about the same configuration member as it of law, that sign is made equal.

[0021] Production process 1 (refer to drawing 14 (a)): It is the same as the production process 1 (refer to drawing 10 (a)) in the above mentioned Salicide method.

Production process 2 (refer to drawing 14 (b)): Form the BSG film (thickness: 100nm) of boron concentration:  $4 \times 10^{21} \text{cm}^{-3}$  all over the device formed at the above-mentioned production process using a CVD method. What is necessary is just to add diboron hexahydride ( $\text{B}_2\text{H}_6$ ) gas in the silane ( $\text{SiH}_4$ ) gas which is material gas at the time of CVD growth, in order to form a BSG film. Next, etchback of the BSG film is carried out using the whole surface etchback method, and the sidewall spacer 91 is formed in the side wall of the gate electrode 74.

[0022] Production process 3(refer to drawing 14 (c)):RTA -- using law, 1st heat treatment is performed

about processing-time:3 second and at processing temperature:1000 degree C, the boron in the sidewall spacer 91 is diffused in a substrate 71, and the low-concentration shallow cementation field 92 is formed.

Production process 4 (refer to drawing 15 (a)): Using the gate electrode 74 and the sidewall spacer 91 as a mask for ion implantations, inject boron fluoride ion into the surface of a substrate 71, and form the high concentration field 93 in self align. Next, 2nd heat treatment is performed using the heat-treating method or the RTA method in the inside of an electric furnace, and the boron in the low-concentration shallow cementation field 92 and the high concentration field 93 is activated.

[0023] Production process 5 (refer to drawing 15 (b)): It is the same as the production process 6 (refer to drawing 11 (c)) in the above mentioned Salicide method. Consequently, the manufacturing process of the p channel MOS transistor 95 of the LDD structure equipped with the source drain field 94 which consists of the low-concentration shallow cementation field 92 and the high concentration field 93 is completed. In MOS transistor 95, since the low-concentration shallow cementation field 92 is formed using the sidewall spacer 91 (BSG film) as a source of solid phase diffusion, the cementation depth of the low-concentration shallow cementation field 92 can be made shallow with about 40nm.

[0024] In addition, what is necessary is just to carry out the ion implantation of the n form impurities (Lynn, arsenic, etc.) to the high concentration field 93, while placing and replacing the BSG film for forming the sidewall spacer 91 with a PSG (Phospho-Silicate Glass) film or an AsSG (Arsenic Silicate Glass) film, in case the n channel MOS transistor of LDD structure is formed. What is necessary is just to add phosphine (PH<sub>3</sub>) gas or arsine (AsH<sub>3</sub>) gas in silane gas, respectively at the time of CVD growth, in order to form a PSG film or an AsSG film.

[0025]

[Problem(s) to be Solved by the Invention] Salicide shown in drawing 10 and drawing 11 -- if it is in law, it has the following problems. That is, in the 2nd heat treatment in the production process 5 of the Salicide method, the boron in the low concentration field 75 and the high concentration field 77 is deeply spread in a substrate 71. Therefore, it is difficult to set the cementation depth of the source drain field 83 to 100nm or less. That is, by this method, while parasitism resistance of the source drain field 83 and wiring resistance of the gate electrode 74 can be reduced to coincidence, there is a problem that shallow cementation of the source drain field 83 cannot be formed.

[0026] Then, the method of forming shallow cementation of the source drain field 83 is proposed by pouring in boron fluoride ion and forming the high concentration field 77 after formation of the titanium silicide film 79. However, it is difficult to inject the impurity ion of a uniform dose into a substrate 71 through the titanium silicide film 79 because of the irregularity produced on the surface of the titanium silicide film 79 by this method. Therefore, there is a problem that the high impurity concentration of the high concentration field 77 becomes an ununiformity.

[0027] Moreover, the method of forming shallow cementation of the source drain field 83 is proposed by making 2nd heat treatment temperature low. However, by this method, since the high impurity concentration in the interface of the titanium silicide film 79 and cementation of the source drain field 83 falls, parasitism resistance of the cementation interface concerned increases. Therefore, the problem of increase of the cementation leak in a reverse bias and the poor standup of a drain voltage-drain current (V<sub>ds</sub>-I<sub>ds</sub>) property arises. Then, although the method (the collection (1994) of the 41st applied-physics relation union lecture meeting drafts and 29 p-ZG -10 reference) of thin-film-izing the titanium silicide film 79 and the method (\*\* and 29 p-ZG -11 reference) using double source drain ion-implantation are proposed, a manufacturing process is complicated by any method and there is a problem that a throughput falls.

[0028] In addition, when the titanium silicide film 79 is placed and replaced with other silicide films (a nickel silicide film, a platinum silicide film, cobalt silicide film, etc.), there is the same problem as the above. Moreover, by the technique shown in drawing 13, it has the following problems. That is, if hot annealing is performed in order to activate the p<sup>+</sup> field 108 formed by the additional ion implantation, since the layout of operation in early stages of an MOS transistor will be affected, a colander is not obtained using the temperature of 800 degrees C or less, but there is a problem which cannot fully

restore the crystal defect formed by the ion implantation.

[0029] Moreover, the method of using doped oxide as a source of solid-phase diffusion to the silicon substrate shown in drawing 14 and drawing 15 has the following troubles. Namely, the sheet resistance of the low-concentration shallow cementation field 92 is very as high as a 10kohm/\*\* degree. That is, by this method, while shallow cementation of the source drain field 83 can be formed, there is a problem that parasitism resistance of the source drain field 83 increases.

[0030] Then, in order to reduce the parasitism resistance as the source drain field 94 whole, the method of compensating the height of parasitism resistance of the low-concentration shallow cementation field 92 is proposed by making deep the cementation depth of the high concentration field 93, and lowering the parasitism resistance. However, by this method, in order to control the punch-through between each source drain field 94, it is necessary to set width of face (= width of face of the sidewall spacer 91) of the low-concentration shallow cementation field 92 to 0.15 micrometers or more. Therefore, there is a problem that detailed-ization of MOS transistor 95 becomes difficult.

[0031] In addition, when the BSG film for forming the sidewall spacer 91 is placed and replaced with other doped oxide (a PSG film or AsSG film), there is the same problem as the above. This invention is made in order to solve the above-mentioned trouble, and it has the following purposes.

[0032] 1] Offer the semiconductor device which is low resistance and was equipped with shallow cementation, and its manufacture method.

2] Offer the semiconductor device equipped with the highly efficient transistor, and its manufacture method.

3] Offer the semiconductor device equipped with the metal membrane by which the impurity was doped, and its manufacture method.

[0033] 4] Offer the target used by the manufacture method of the semiconductor device of above-mentioned 1] or 2].

[0034]

Means for Solving the Problem) Invention according to claim 1 makes it the summary to have had a metal membrane by which an impurity was doped. Invention according to claim 2 is formed by cementation with shallow source field or drain field. A drain field is equipped with LDD structure with a low concentration field and a high concentration field. The low concentration field is formed in the lower part of a sidewall spacer which consists of doped oxide formed in a side wall of a gate electrode. It has the Salicide structure where a silicide film was formed in self align on a source field or a drain field, and let it be the summary for an impurity to be doped by silicide film.

[0035] Invention according to claim 3 is adding an impurity in a raw material of the metal membrane at the time of formation of a metal membrane by PVD or CVD method, and makes it the summary to have had a production process which forms a metal membrane by which an impurity was doped. Invention according to claim 4 is using an alloy target with which an impurity's was added beforehand at the time of formation of a metal membrane by spatter, and makes it the summary to have had a production process which forms a metal membrane by which an impurity was doped.

[0036] Invention according to claim 5 is using a target which consists of a raw material of a metal membrane at the time of formation of a metal membrane by spatter, and a target which consists of an impurity, and makes it the summary to have had a production process which forms a metal membrane by which an impurity was doped. Invention according to claim 6 is adding an impurity to material gas of the metal membrane at the time of formation of a metal membrane by CVD method, and makes it the summary to have had a production process which forms a metal membrane by which an impurity was doped.

[0037] Invention according to claim 7 makes it the summary to have had a production process which forms a metal membrane by which an impurity was doped by any 1 term of claims 3-6 on a silicon layer using a manufacture method of a semiconductor device a publication, and a production process which diffuses an impurity in a metal membrane into a silicon layer while forming a silicide film in a part where it is heat-treating and a metal membrane and a silicon layer touch.

[0038] A production process which forms a metal membrane by which a conductive impurity with

which invention according to claim 8 differs from a silicon layer on a silicon layer in which an impurity was doped by any 1 term of claims 3-6 using a manufacture method of a semiconductor device a publication was doped, Let it be the summary to have had a production process which is made to diffuse an impurity in a metal membrane into a silicon layer, and forms pn junction in a silicon layer by heat-treating while forming a silicide film in a part where a metal membrane and a silicon layer touch.

[0039] A production process which forms a metal membrane by which the conductive impurity as a silicon layer with the invention [ according to claim 9 ] same on a silicon layer in which an impurity was doped by any 1 term of claims 3-6 using a manufacture method of a semiconductor device a publication was doped, While forming a silicide film in a part where a metal membrane and a silicon layer touch by heat-treating, let it be the summary to have had a production process which diffuses an impurity in a metal membrane into a silicon layer.

[0040] A production process at which invention according to claim 10 forms a gate insulator layer and a gate electrode on a silicon layer, A manufacture method of a semiconductor device a publication is used for a production process which forms a sidewall spacer in a side wall of a gate electrode, and any 1 term of claims 3-6. By production process which forms a metal membrane by which an impurity was doped all over a device formed at the aforementioned production process, and heat-treating While forming a silicide film in a part where a metal membrane and a silicon layer touch and forming the Salicide structure, let it be the summary to have had a production process which is made to diffuse an impurity in a metal membrane into a silicon layer, and forms a source field or a drain field.

[0041] A production process at which invention according to claim 11 forms a gate insulator layer and a gate electrode on a silicon layer, A production process which forms a sidewall spacer which changes from doped oxide to a side wall of a gate electrode, By production process which forms a metal membrane by which an impurity was doped all over a device formed in any 1 term of claims 3-6 at the aforementioned production process using a manufacture method of a semiconductor device a publication, and heat-treating While forming a silicide film in a part where a metal membrane and a silicon layer touch and forming the Salicide structure Let it be the summary to have had a production process which is made to diffuse an impurity in a metal membrane, and an impurity in a sidewall spacer into a silicon layer, respectively, forms a source field or a drain field, and forms LDD structure.

[0042] Invention according to claim 12 makes it that summary to have had a production process which forms in a pars basilaris ossis occipitalis at least a metal membrane of a contact hole which is well-informed about any 1 term of claims 3-6 in an impurity range using a manufacture method of a semiconductor device a publication by which an impurity was doped, and a production process of metal wiring by which this metal membrane is connected to an impurity range which makes a part and is processed at least.

[0043] A production process in which invention according to claim 13 forms an impurity range on the surface of a silicon substrate, A production process which forms in a pars basilaris ossis occipitalis at least a metal membrane by which the same conductive impurity as an impurity range of a contact hole which is well-informed about any 1 term of claims 3-6 in an impurity range using a manufacture method of a semiconductor device a publication was doped, While forming a silicide film in a part where a metal membrane and a silicon substrate touch by heat-treating, let it be the summary to have had a production process which diffuses an impurity in a metal membrane to the surface of a silicon substrate.

[0044] A production process at which invention according to claim 14 forms an impurity range of the 1st conductivity type, and an impurity range of the 2nd conductivity type in a silicon substrate, A manufacture method of a semiconductor device a publication is used for any 1 term of claims 3-6. By production process which forms the 1st metal membrane by which the conductive impurity as this impurity range of a contact hole same at the pars basilaris ossis occipitalis at least which leads to an impurity range of the 1st conductivity type was doped, and heat-treating A production process which forms a silicide film in a part where the 1st metal membrane and a silicon substrate touch, A manufacture method of a semiconductor device a publication is used for any 1 term of claims 3-6. A production process which forms in a pars basilaris ossis occipitalis at least the 2nd metal membrane by which the same conductive impurity as this impurity range of a contact hole which leads to an impurity

range of the 2nd conductivity type was doped, Let it be the summary to have had a production process of metal wiring to which at least a silicide film or the 2nd metal membrane either is connected to each impurity range which makes a part and is processed at least.

[0045] Invention according to claim 15 makes it the summary for an impurity range to function as the source or a drain of a transistor in a manufacture method of a semiconductor device given in any 1 term of claims 12-14. invention according to claim 16 -- claim 7- let it be the summary to have equipped 11 or 14 any 1 terms with a production process which removes a metal membrane which has not been silicide-ized after formation of said silicide film in a manufacture method of a semiconductor device a publication.

[0046] Invention according to claim 17 makes it the summary to consist of an alloy with which an impurity was added by metallic material in a target used by spatter. That is, while forming a silicide film using a metal membrane by which an impurity which serves as a dopant to silicon was doped according to invention according to claim 1, shallow cementation can be formed by low resistance by using a metal membrane by which an impurity which serves as a dopant to silicon was doped as a source of solid phase diffusion.

[0047] Moreover, according to invention according to claim 2, a highly efficient MOS transistor can be obtained by having a source field or a drain field of the Salicide structure formed by shallow cementation. Moreover, an MOS transistor which raised hot carrier resistance can be obtained by having LDD structure. And a low-concentration drain field is formed by making a sidewall spacer into a source of solid phase diffusion. Furthermore, since an impurity which serves as a dopant to silicon is doped by silicide film, the resistance becomes low, can reduce parasitism resistance of a source field or a drain field upwards, and can form shallow cementation of a source field or a drain field.

[0048] Moreover, according to invention given in any 1 term of claims 3-6, a metal membrane by which an impurity for controlling an impurity which serves as a dopant to silicon, or impurity diffusion from an impurity range was doped can be formed. Moreover, according to invention given in any 1 term of claims 7-9, formation of a silicide film and formation of a diffusion layer can be performed to coincidence. Moreover, shallow cementation of a diffusion layer can be formed.

[0049] Moreover, when a sidewall spacer is formed with a metal membrane and the quality of the material which does not react according to invention according to claim 10, formation of formation and a source field of the Salicide structure, or a drain field can be performed to coincidence. Moreover, shallow cementation of a source field or a drain field can be formed by using a metal membrane as a source of solid phase diffusion. And parasitism resistance of a source field or a drain field can be reduced according to the Salicide structure.

[0050] Moreover, according to invention according to claim 11, formation of formation and a source field of the Salicide structure, or a drain field can be performed to coincidence. Moreover, shallow cementation of a source field or a drain field can be formed by using a metal membrane and a sidewall spacer as a source of solid phase diffusion. And parasitism resistance of a source field or a drain field can be reduced according to the Salicide structure. An MOS transistor which raised hot carrier resistance can be obtained by moreover having LDD structure.

[0051] Moreover, since according to invention given in any 1 term of claims 12-15 it is hard to diffuse an impurity to a metal membrane from an impurity range since an impurity is already doped by metal membrane, and high impurity concentration of an impurity range cannot fall easily, low resistance-ization of contact resistance is realizable. When doubling additional coverage of an isolation edge and a contact hole is small with detailed-izing of an element especially according to invention according to claim 13, an isolation edge was also etched at the time of formation of a contact hole, and even if a silicon substrate surface in which an impurity range is not formed is exposed, an increment in contact resistance is prevented by making this portion diffuse an impurity from a metal membrane.

[0052] Moreover, according to invention according to claim 16, a metal membrane which has not been silicide-ized is certainly [ simply and ] removable by using the wet etching method. Moreover, according to invention according to claim 17, an alloy target used by invention according to claim 4 can be obtained.

[0053]

[Embodiment of the Invention]

(The 1st operation gestalt) It explains according to the cross section of the device which shows the 1st operation gestalt which materialized this invention to the manufacture method of the p channel MOS transistor of SD (Single Drain) structure hereafter to drawing 1 and drawing 2.

[0054] Production process 1(refer to drawing 1 (a)):LOCOS -- the element isolation region 2 is formed on n form single crystal silicon substrate 1 using law. Next, silicon oxide is formed on a substrate 1 using the oxidizing [ thermally ] method. Then, the doped polysilicon film which doped boron is formed on silicon oxide using a CVD method. And patterning is carried out to the configuration of a request of a doped polysilicon film and silicon oxide, and the gate insulator layer 3 (thickness: 3.5nm) and the gate electrode 4 (thickness: 70nm) are formed.

[0055] production process 2(refer to drawing 1 (b)): -- LPCVD (Low Pressure Chemical Vapor Deposition) which used a mono silane and nitrogen oxide (N<sub>2</sub>O) for material gas -- by law, silicon oxide (thickness: 50nm) is formed all over the device formed at the above-mentioned production process. Next, etchback of the silicon oxide is carried out using the whole surface etchback method, and the sidewall spacer 5 is formed in the side wall of the gate electrode 4.

[0056] Production process 3 (refer to drawing 1 (c)): Remove the natural oxidation film formed in the substrate 1 surface using isotropic etching. Next, the titanium film 6 (thickness: 30nm) which doped boron all over the device formed at the above-mentioned production process is formed using the magnetron sputtering method. Here, in order to form the titanium film (henceforth a boron doped titanium film) 6 which doped boron, the alloy target which added 5wt(s)% boron to titanium as a target, and was manufactured with the sintering process is used. Moreover, spatter conditions are substrate heating temperature:300 degree C, sputtering power:3.6W, and degree of vacuum:665mpa (5mTorr).

[0057] Production process 4 (refer to drawing 2 (a)): Perform 1st heat treatment at processing temperature:625 degree C using the heat-treating method or the RTA method in the inside of an electric furnace. Consequently, the titanium silicide film 7 is formed in the part where the boron doped titanium film 6, a substrate 1 and the boron doped titanium film 6, and the gate electrode 4 touch, respectively in self align. in addition, the processing time at the time of using the method of heat-treating the inside of an electric furnace -- a 30-minute about room and RTA -- the processing time at the time of using law is about 30 seconds. The titanium silicide film 7 is not formed in the part where the boron doped titanium film 6 and the sidewall spacer 5 touch at this time.

[0058] By the way, the 1st heat treatment temperature has a possibility that the titanium silicide film 7 may no longer be formed, when a possibility that a bridge may be generated is between each titanium silicide film 7 and processing temperature becomes low, since silicide-ization will progress too much and residue will arise, if 600-700 degrees C is suitable and processing temperature becomes high from this temperature requirement. Moreover, when the 1st heat treatment time amount is longer than the above, or in being short, there is the respectively same orientation as the case where processing temperature is high, or the case of being low.

[0059] Next, by the wet etching method using the mixed solution (a mixing ratio is H<sub>2</sub>O<sub>2</sub>:NH<sub>4</sub> OH:H<sub>2</sub>O=1:1:5) of the hydrogen peroxide solution, ammonia, and water which were heated at about 60 degrees C, the boron doped titanium film 6 which has not been silicide-ized is removed, and it leaves only the titanium silicide film 7. Then, 2nd heat treatment is performed at processing temperature:850 degree C using the heat-treating method or the RTA method in the inside of an electric furnace. In addition, the 2nd heat treatment time amount is the same as it of the 1st heat treatment. By this 2nd heat treatment, the sheet resistance of the substrate 1 with which the titanium silicide film 7 was formed in the surface, and the gate electrode 4 is reduced by 5ohms / \*\* degree. The boron in the titanium silicide film 7 is spread in a substrate 1, and the shallow high-concentration cementation field (diffusion layer) 8 whose cementation depth is about 40nm is formed in it and coincidence. in addition -- for measuring the cementation depth -- SIMS (Secondary Ion Mass Spectrometry) -- what is necessary is just to use law

[0060] By the way, when diffusion of the boron out of the titanium silicide film 7 increases too much, there is orientation for cementation to become deep, when 750-900 degrees C is suitable for the 2nd heat

treatment temperature and processing temperature becomes high from this temperature requirement, and processing temperature becomes low, the orientation for diffusion of the boron out of the titanium silicide film 7 to decrease, for cementation not to become shallow too much or for pn junction to no longer be formed is. Moreover, when the 2nd heat treatment time amount is longer than the above, or in being short, there is the respectively same orientation as the case where processing temperature is high, or the case of being low.

[0061] Production process 5 (refer to drawing 2 (b)): Form an interlayer insulation film 9 all over the device formed at the above-mentioned production process. Next, the contact hole 10 which contacts the titanium silicide film 7 at an interlayer insulation film 9 is formed using anisotropic etching. Then, using a spatter, in a contact hole 10, it is filled up with a metallic material and a wiring layer 11 is formed. Consequently, the manufacturing process of the p channel MOS transistor 12 of SD structure equipped with the source drain field which consists of the shallow high-concentration cementation field 8 is completed.

[0062] In MOS transistor 12, since the titanium silicide film 7 is formed in self align on the source drain field (shallow high-concentration cementation field 8) and the gate electrode 4, parasitism resistance of a source drain field and wiring resistance of the gate electrode 4 are reduced by coincidence. Moreover, in MOS transistor 12, since a source drain field consists of shallow high-concentration cementation fields 8 whose cementation depth is about 40nm, shallow cementation of a source drain field can be formed.

[0063] By the above mentioned conventional Salicide method, the silicide-ized reaction of the titanium film 78 and a substrate 71 and diffusion of the boron in the high concentration field 77 advance independently. Therefore, it is difficult to keep constant the distance of the cementation interface (henceforth the cementation interface A) of the high concentration field 77, and the cementation interface (henceforth the cementation interface B) of the titanium silicide film 79 and a substrate 71. Therefore, if a reverse bias is impressed to MOS transistor 84, in the part where the distance of each cementation interfaces A and B is short, a titanium atom will be incorporated in a depletion layer. Consequently, the problem of increase of cementation leakage current and the poor standup of a drain voltage-drain current ( $V_{ds}$ - $I_{ds}$ ) property arises.

[0064] Since a boron atom exists in the boron doped titanium film 6 by this example to it, boron is spread in a substrate 1 by making the boron doped titanium film 6 into the source of solid phase diffusion. Therefore, the distance of the cementation interface of the shallow high-concentration cementation field 8 (source drain field) and the cementation interface of the titanium silicide film 7 and a substrate 1 can be kept constant. Therefore, even if it impresses a reverse bias to MOS transistor 12, a titanium atom is hard to be incorporated in a depletion layer. Consequently, cementation leakage current is controlled and the standup of a drain voltage-drain current characteristic becomes good.

[0065] Incidentally, when the cementation leakage current in a reverse bias was surveyed in MOS transistor 12, it turned out that it is restored to  $1 \times 10^{-9}$  A/cm<sup>2</sup> and very low order. thus, Salicide by which the titanium silicide film 7 was formed in the surface of a source drain field (shallow high-concentration cementation field 8) in self align in this operation gestalt -- law (Salicide structure) and the method using the boron doped titanium film 6 as a source of solid phase diffusion to a substrate 1 are used together.

[0066] Therefore, according to this operation gestalt, after reducing parasitism resistance of a source drain field (shallow high-concentration cementation field 8), and wiring resistance of the gate electrode 4 to coincidence, shallow cementation of a source drain field can be formed. Moreover, the manufacture method of this operation gestalt is easy and easy, and can obtain a high throughput. By the way, according to this operation gestalt, in the contact hole 10, contact to a wiring layer 11 and the shallow high-concentration cementation field 8 is taken through the titanium silicide film 7 with which boron was doped. Therefore, good contact to a wiring layer 11 and the shallow high-concentration cementation field 8 can be obtained. That is, the titanium silicide film 7 formed into low resistance functions as an excellent barrier metal in a multilayer interconnection by doping boron.

[0067] (The 2nd operation gestalt) It explains according to the cross section of the device which shows the 2nd operation gestalt which materialized this invention to the manufacture method of the p channel



MOS transistor of LDD structure hereafter to drawing 3 and drawing 4. In addition, in this operation gestalt, about the same configuration member as the 1st operation gestalt, a sign is made equal, and the detailed explanation is omitted.

[0068] Production process 1 (refer to drawing 3 (a)): It is the same as the production process 1 of the 1st operation gestalt.

production process 2(refer to drawing 3 (b)): -- LPCVD which used a mono silane, nitrogen oxide (N<sub>2</sub>O), and TMB (Trimethylboron) for material gas -- by law, the BSG film (thickness: 100nm) of boron concentration:  $4 \times 10^{21} \text{cm}^{-3}$  is formed all over the device formed at the above-mentioned production process. Next, etchback of the BSG film is carried out using the whole surface etchback method, and the sidewall spacer 21 is formed in the side wall of the gate electrode 4.

[0069] Then, 1st heat treatment is performed at processing temperature: 1000 degree C for processing-time: 3 seconds using the RTA method. Consequently, the boron in the sidewall spacer 21 is spread in a substrate 71, and the low-concentration shallow cementation field (diffusion layer) 22 whose cementation depth is about 40nm is formed. By the way, when diffusion of the boron out of the sidewall spacer 21 increases too much, there is orientation for cementation to become deep, when 900-1100 degrees C is suitable for the 1st heat treatment temperature and processing temperature becomes high from this temperature requirement, and processing temperature becomes low; the orientation for diffusion of the boron out of the sidewall spacer 21 to decrease, for cementation not to become shallow too much or for pn junction to no longer be formed is. Moreover, when the 1st heat treatment time amount is longer than the above, or in being short, there is the respectively same orientation as the case where processing temperature is high, or the case of being low.

[0070] Production process 3 (refer to drawing 3 (c)): It is the same as the production process 3 of the 1st operation gestalt.

Production process 4 (refer to drawing 4 (a)): It is the same as the production process 4 of the 1st operation gestalt. In addition, in the 3rd heat treatment (it sets at the production process 4 of the 1st operation gestalt, and is the 2nd time), the boron in the low-concentration shallow cementation field 22 is activated by that the shallow high-concentration cementation field 8 is formed and coincidence.

[0071] Production process 5 (refer to drawing 4 (b)): It is the same as the production process 5 of the 1st operation gestalt. Consequently, the manufacturing process of the p channel MOS transistor 24 of the LDD structure equipped with the source drain field 23 which consists of the low-concentration shallow cementation field 22 and the shallow high-concentration cementation field 8 is completed. In MOS transistor 24, since the titanium silicide film 7 is formed on the source drain field 23 and the gate electrode 4, parasitism resistance of the source drain field 22 and wiring resistance of the gate electrode 4 are reduced by coincidence.

[0072] Moreover, in MOS transistor 24, both about 40nm and since it is shallow, the cementation depth of each cementation fields 8 and 22 can form shallow cementation of the source drain field 23.

Incidentally, when the cementation leakage current in a reverse bias was surveyed in MOS transistor 24, it turned out like MOS transistor 12 that it is restored to  $1 \times 10^{-9} \text{ A/cm}^2$  and very low order.

[0073] Thus, it sets in this operation gestalt and is the source drain field 23 (in detail). Salicide by which the titanium silicide film 7 was formed in the surface of the shallow high-concentration cementation field 8 in self align -- with law (Salicide structure) The method using the boron doped titanium film 6 as a source of solid phase diffusion to a substrate 1 and the method using doped oxide (a BSG film, sidewall spacer 21) as a source of solid phase diffusion to a substrate 1 are used together.

[0074] Therefore, according to this operation gestalt, the same operation and same effect as the 1st operation gestalt can be acquired. In addition, according to this operation gestalt, LDD structure is realizable. That is, by adjusting the boron concentration of a BSG film (sidewall spacer 21), and the width of face of the sidewall spacer 21, the property of the low-concentration shallow cementation field 22 can be adjusted, the hot carrier resistance of MOS transistor 24 can be raised, and parasitic capacitance can be made small.

[0075] (The 3rd operation gestalt) It explains according to the cross section of the device which shows the 3rd operation gestalt which materialized this invention to the manufacture method of the CMOS



transistor of SD structure hereafter to drawing 5 and drawing 6. In addition, in this operation gestalt, about the same configuration member as the 1st and 2nd operation gestalt, a sign is made equal, and the detailed explanation is omitted.

[0076] A CMOS transistor consists of the p channel MOS transistors 12 of SD structure and the n channel MOS transistors 31 of SD structure which were formed on the same substrate 1.

Production process 1(refer to drawing 5 (a)):LOCOS -- the element isolation region 2 is formed on p form single crystal silicon substrate 1 using law. Next, the n well 40 is formed in the field alpha to which the n channel MOS transistor 12 is formed on a substrate 1. Then, silicon oxide is formed on a substrate 1 using the oxidizing [ thermally ] method.

[0077] Next, the doped polysilicon film with which boron was doped is formed using a CVD method on the silicon oxide of the field beta where the p channel MOS transistor 12 is formed on a substrate 1.

Moreover, the doped polysilicon film with which Lynn was doped on the silicon oxide of Field beta is formed using a CVD method. And patterning is carried out to the configuration of a request of each doped polysilicon film and silicon oxide, and the gate insulator layer 3, the gate electrode 32 of the n channel MOS transistor 31, and the gate electrode 4 of the p channel MOS transistor 12 are formed.

[0078] Production process 2 (refer to drawing 5 (b)): Form silicon oxide 33 (thickness: 50nm) all over the device formed at the above-mentioned production process by the LPCVD method which used nitrogen oxide for material gas as the mono silane. Next, the silicon oxide 33 on Field alpha is covered with a resist mask (illustration abbreviation). And to Field beta, etchback of the silicon oxide 33 is carried out using the whole surface etchback method, and the sidewall spacer 34 is formed in the side wall of the gate electrode 32. Since the silicon oxide 33 on Field alpha is covered with the resist mask at this time, it remains as it is.

[0079] Production process 3 (refer to drawing 5 (c)): Remove the natural oxidation film formed in the substrate 1 surface corresponding to Field beta using isotropic etching. Next, the titanium film 35 (thickness: 30nm) (henceforth the phosphorus doped titanium film 35) which doped Lynn all over the device formed at the above-mentioned production process is formed using the magnetron sputtering method. Here, in the formation method of the boron doped titanium film 6, boron is put on Lynn, the formation method of the phosphorus doped titanium film 35 only replaces it with, and other conditions are the same.

[0080] Production process 4 (refer to drawing 6 (a)): Perform 1st heat treatment at processing temperature:625 degree C using the heat-treating method or the RTA method in the inside of an electric furnace. Consequently, the titanium silicide film 36 is formed in the part where the phosphorus doped titanium film 35, a substrate 1 and the phosphorus doped titanium film 35, and the gate electrode 32 touch, respectively in self align. in addition, the processing time at the time of using the method of heat-treating the inside of an electric furnace -- a 30-minute about room and RTA -- the processing time at the time of using law is about 30 seconds. The titanium silicide film 36 is not formed in the part where the phosphorus doped titanium film 35 and the sidewall spacer 34 touch at this time. Moreover, since silicon oxide 33 is formed on Field alpha, the titanium silicide film 36 is not formed.

[0081] Next, by the wet etching method using the mixed solution (a mixing ratio is  $H_2O_2:NH_4OH:H_2O=1:1:5$ ) of the hydrogen peroxide solution, ammonia, and water which were heated at about 60 degrees C, the phosphorus doped titanium film 35 which has not been silicide-ized is removed, and it leaves only the titanium silicide film 36. Then, 2nd heat treatment is performed at processing temperature:850 degree C using the heat-treating method or the RTA method in the inside of an electric furnace. In addition, the 2nd heat treatment time amount is the same as it of the 1st heat treatment. By this 2nd heat treatment, the sheet resistance of the substrate 1 with which the titanium silicide film 36 was formed in the surface, and the gate electrode 32 is reduced by 5ohms / \*\* degree. Lynn in the titanium silicide film 36 is spread in a substrate 1, and the shallow high-concentration cementation field (diffusion layer) 37 whose cementation depth is about 30nm is formed in it and coincidence.

[0082] Next, silicon oxide 38 is formed all over the device formed at the above-mentioned production process.

Production process 5 (refer to drawing 6 (b)): Cover the silicon oxide 38 on Field beta with a resist mask

(illustration abbreviation). And to Field alpha, etchback of the silicon oxide 33 is carried out using the whole surface etchback method, and the sidewall spacer 5 is formed in the side wall of the gate electrode 4. Then, the titanium silicide film 7 which doped boron, and the shallow high-concentration cementation field 8 are formed like the 1st operation gestalt.

[0083] Production process 6 (refer to drawing 6 (c)): Form an interlayer insulation film 9 all over the device formed at the above-mentioned production process. Next, the contact hole which contacts the titanium silicide films 7 and 36 at an interlayer insulation film 9 is formed using anisotropic etching. Then, using a spatter, in a contact hole, it is filled up with a metallic material and a wiring layer 11 is formed. Consequently, the manufacturing process of the p channel MOS transistor 12 of SD structure equipped with the source drain field which consists of the shallow high-concentration cementation field 8, and the n channel MOS transistor 31 of SD structure equipped with the source drain field which consists of the shallow high-concentration cementation field 37 is completed.

[0084] In MOS transistor 31, since the titanium silicide film 36 is formed on the source drain field (shallow high-concentration cementation field 37) and the gate electrode 32, parasitism resistance of a source drain field and wiring resistance of the gate electrode 32 are reduced by coincidence. Moreover, in MOS transistor 31, since a source drain field consists of shallow high-concentration cementation fields 37 whose cementation depth is about 30nm, shallow cementation of a source drain field can be formed.

[0085] With this operation gestalt, since the Lynn atom exists in the phosphorus doped titanium film 35, Lynn is spread in a substrate 1 by making the phosphorus doped titanium film 35 into the source of solid phase diffusion. Therefore, the distance of the cementation interface of the shallow high-concentration cementation field 37 (source drain field) and the cementation interface of the titanium silicide film 36 and a substrate 1 can be kept constant. Therefore, even if it impresses a reverse bias to MOS transistor 31, a titanium atom is hard to be incorporated in a depletion layer. Consequently, cementation leakage current is controlled and the standup of a drain voltage-drain current characteristic becomes good.

[0086] Incidentally, when the cementation leakage current in a reverse bias was surveyed in MOS transistor 31, it turned out like MOS transistor 12 that it is restored to  $1 \times 10^{-9}$  A/cm<sup>2</sup> and very low order. thus, Salicide by which the titanium silicide films 7 and 36 were formed in the surface of a source drain field (shallow high-concentration cementation fields 8 and 37) in self align in this operation gestalt -- law (Salicide structure), the method using the boron doped titanium film 6 as a source of solid phase diffusion to a substrate 1, and the method using the phosphorus doped titanium film 35 as a source of solid phase diffusion to a substrate 1 are used together.

[0087] By the way, according to this operation gestalt, contact to a wiring layer 11 and the shallow high-concentration cementation field 37 is taken through the titanium silicide film 36 with which Lynn was doped. Therefore, good contact to a wiring layer 11 and the shallow high-concentration cementation field 37 can be obtained. That is, the titanium silicide film 36 formed into low resistance functions as an excellent barrier metal in a multilayer interconnection by doping Lynn.

[0088] (The 4th operation gestalt) It explains according to the cross section of the device which shows the 4th operation gestalt which materialized hereafter the process which connects metal wiring to the p channel MOS transistor of LDD structure for this invention to drawing 7. In addition, in this operation gestalt, about the same configuration member as the conventional technology shown in drawing 12, a sign is made equal, and the detailed explanation is omitted.

[0089] Production process 1 (refer to drawing 7 (a)): Form a p channel MOS transistor by the same technique as drawing 12. The thickness of 15nm and the gate electrode 74 of the thickness of gate oxide 73 is 100nm.

Production process 2 (refer to drawing 7 (b)): All over the device formed at the above-mentioned production process, use the usual CVD method and form the interlayer insulation films 101, such as a HTO film and a BPSG film.

[0090] Production process 3 (refer to drawing 7 (c)): Form the contact holes 102-104 which lead to said interlayer insulation film 74 at said source drain field 83 and the gate electrode 74 using photolithography technology and dry etching technology, respectively.

Production process 4 (refer to drawing 7 (d)) : by the wet etching method (time amount 30 - 60 seconds) using rare fluoric acid ( $\text{HF}:\text{H}_2\text{O}=1:100$ ), or the sputter etching method using argon ion ( $\text{Ar}^+$ ) After removing the natural oxidation film of 102 to contact hole 104 pars basilaris ossis occipitalis, the titanium film (henceforth a boron doped titanium film) 50 (thickness; 30nm) which doped boron all over the device formed at the above-mentioned production process is formed using the magnetron sputtering method.

[0091] Here, in order to form the boron doped titanium film 50, the alloy target which added 5wt(s)% boron to titanium as a target, and was manufactured with the sintering process is used. Moreover, spatter conditions are substrate heating temperature:300 degree C, sputtering power:3.6W, and degree of vacuum:665mpa (5mTorr). In addition, the thickness of this boron doped titanium film 50 has the most desirable range of 20-60nm, in order the range of 10-150nm is suitable and to lower a manufacturing cost also in it, and in order to obtain the stable contact resistance.

[0092] Production process 5 (refer to drawing 7 (e)): On the boron doped titanium film 50, use the magnetron sputtering method and form the TiN film 106. Furthermore, the aluminum alloy film 107 is formed on it, and these metal membranes are processed into a predetermined configuration with photolithography technology and dry etching technology. In this way, connection between a p channel MOS transistor and aluminum wiring is made to complete.

[0093] Although intentional heat treatment is omitted after boron doped titanium film 50 formation if it is in a \*\*\*\* 4 operation gestalt, it is a next process and the heat history of about 450 degrees C of maximum temperatures is received. In the conventional example shown in drawing 12, since B atom which exists in Si substrate surface of a contact pars basilaris ossis occipitalis is spread in Ti or a  $\text{TiSiX}$  film by this heat history, B concentration of a contact pars basilaris ossis occipitalis falls, and the value of the contact resistance to p+ in a contact hole with a diameter of 0.5 micrometers is set to about 100 ohms.

[0094] On the other hand, if it is in a \*\*\*\* 4 operation gestalt, since it is controlled that boron doped titanium film 50 self contains B atom from the first, and B atom is spread from Si substrate to the boron doped titanium film 50, B concentration of a contact pars basilaris ossis occipitalis cannot fall easily, and the value of the contact resistance to p+ in the contact hole which is the diameter of 0.5 micrometers becomes low with about 5-10 ohms. In addition, the value of about 20-50 ohms in the contact resistance to n+ in a contact hole with a diameter of 0.5 micrometers was acquired.

[0095] (The 5th operation gestalt) It explains according to the cross section of the device which shows the 5th operation gestalt which materialized hereafter the process which connects metal wiring to the p channel MOS transistor of LDD structure for this invention to drawing 8. In addition, in this operation gestalt, about the same configuration member as the 4th operation gestalt, a sign is made equal, and the detailed explanation is omitted.

[0096] the production process 1 of the Production process 1(refer to drawing 8 (a)):4th operation gestalt -- the same .

the production process 2 of the Production process 2(refer to drawing 8 (b)):4th operation gestalt -- the same .

Production process 3 (refer to drawing 8 (c)): Form the contact holes 102-104 which lead to said interlayer insulation film 101 at said source drain field 83 and the gate electrode 74 using photolithography technology and dry etching technology, respectively.

[0097] When the doubling additional coverage of an isolation edge and a contact hole is small with detailed-izing of an element at this time, an isolation edge is also etched and the surface S of the Si substrate 71 in which the source drain field 83 is not formed is exposed.

the production process 4 of the Production process 4(refer to drawing 8 (d)):4th operation gestalt -- the same .

Production process 5(refer to drawing 8 (e)):RTA -- heat treatment for 30 seconds is performed at processing temperature:900 degree C among a nitrogen ( $\text{N}_2$ ) ambient atmosphere using law.

Consequently, the boron in the boron doped titanium film 50 is spread in a substrate 1, and the shallow high-concentration cementation field (diffusion layer) 51 whose cementation depth is about 40nm is

formed at the same time the part where the boron doped titanium film 50 and the substrate 1 touch silicide-izes. In addition, what is necessary is just to use the SIMS method, in order to measure the cementation depth.

[0098] By the way, 800-1000 degrees C is suitable for the heat treatment temperature by RTA, also in this range, the depth of the cementation field 51 does not become deep too much, either, and it serves as optimal value while it can obtain good cementation control especially by making it 850-950 degrees C. In addition, what is necessary is for heat annealing which used the electric furnace to be sufficient, for example, just to perform heat treatment for 30 minutes at processing temperature:850 degree C among nitrogen-gas-atmosphere mind as heat treatment, besides RTA.

[0099] Production process 5 (refer to drawing 8 (e)): On the boron doped titanium film 50, use the magnetron sputtering method and form the TiN film 106. Furthermore, the aluminum alloy film 107 is formed on it, and these metal membranes are processed into a predetermined configuration with photolithography technology and dry etching technology. In this way, connection between a p channel MOS transistor and aluminum wiring is made to complete.

[0100] If it is in a \*\*\*\* 5 operation gestalt, the value of the contact resistance to p+ in a contact hole with a diameter of 0.5 micrometers becomes low with about 5-10 ohms like the 4th operation gestalt. In addition, the value of about 20-50 ohms in the contact resistance to n+ in a contact hole with a diameter of 0.5 micrometers was acquired. Moreover, when the cementation leakage current of hard flow was measured, it was the order of  $1 \times 10^{-9}$  A/cm<sup>2</sup>, and was the last value which would pose especially a problem.

[0101] (The 6th operation gestalt) According to the cross section of the device which shows the 6th operation gestalt which materialized the method of reducing the contact resistance to n+ more to drawing 9, it explains to the 4th operation gestalt or the 5th operation gestalt hereafter, using the manufacture method of the CMOS transistor of SD structure as an example for this invention. In addition, in this operation gestalt, about the same configuration member as the 4th and 5th operation gestalt, a sign is made equal, and the detailed explanation is omitted.

[0102] A CMOS transistor consists of the p channel MOS transistors 52 of SD structure and the n channel MOS transistors 53 of SD structure which were formed on the same substrate 71.

Production process 1(refer to drawing 9 (a)):LOCOS -- after forming the element isolation region 72 on p form single crystal silicon substrate 71 using law, the p channel MOS transistor 52 and the n channel MOS transistor 53 are formed. In addition, although the n channel MOS transistor 53 is not illustrated, it is formed in n well etc. Moreover, the sidewall 76 is formed in the gate electrode 74 of each transistor.

[0103] LPCVD using the mixed gas of Production process 2(refer to drawing 9 (b)):SiH<sub>4</sub> and N<sub>2</sub>O -- by law, silicon oxide 54 (thickness; 50nm) is formed all over the device formed at the above-mentioned production process. Next, the contact holes 55 and 55 which lead to the source drain field (illustration abbreviation) of the p channel MOS transistor 52 are formed using lithography technology.

[0104] Production process 3 (refer to drawing 9 (c)): Remove the natural oxidation film formed in a contact hole 55 and 55 partes basilaris ossis occipitalis using isotropic etching. Next, the boron doped titanium film 50 (thickness: 30nm) is formed all over the device formed at the above-mentioned production process using the magnetron sputtering method. Here, the formation method of the boron doped titanium film 50 is the same as that of what was already described.

[0105] Furthermore, it heat-treats at processing temperature:900 degree C using the heat-treating method or the RTA method in the inside of an electric furnace. Consequently, the titanium silicide film 56 is formed in the part where the boron doped titanium film 50 and the substrate 1 touch in self align. in addition, the processing time at the time of using the method of heat-treating the inside of an electric furnace -- a 30-minute about room and RTA -- the processing time at the time of using law is about 30 seconds. At this time, the titanium silicide film 56 is not formed on silicon oxide 54.

[0106] By the wet etching method using the mixed solution (a mixing ratio is H<sub>2</sub>O<sub>2</sub>:NH<sub>4</sub> OH:H<sub>2</sub>O=1:1:5) of the hydrogen peroxide solution, ammonia, and water which were heated at about 4 (refer to drawing 9 (d)):60 degrees C of production processes, the boron doped titanium film 50 which has not been silicide-ized is removed, and it leaves only the titanium silicide film 56.

Production process 5 (refer to drawing 9 (e)): Form the contact hole which leads to the source drain field (illustration abbreviation) of the n channel MOS transistor 53 using lithography technology.

[0107] And the titanium film (henceforth a phosphorus doped titanium film) 57 (thickness: 30nm) which doped Lynn all over the device formed at the above-mentioned production process is formed using the magnetron sputtering method. What is necessary is just here, for the method completely same with forming a boron doped titanium film to be used, and to replace with boron and to use Lynn, in order to form the phosphorus doped titanium film 57.

[0108] Then, on the phosphorus doped titanium film 57, the magnetron sputtering method is used and the TiN film 106 is formed. Furthermore, the aluminum alloy film 107 is formed on it.

Production process 6 (refer to drawing 9 (f)): Finally process these metal membranes into a predetermined configuration with photolithography technology and dry etching technology. If it is in a \*\*\*\* 6 operation gestalt, the value of the contact resistance to n+ [ in / in the value of the contact resistance to p+ in a contact hole with a diameter of 0.5 micrometers / about 10-30 ohms and a contact hole with a diameter of 0.5 micrometers ] is a value which about 5-10 ohms and a low value are acquired, and does not have a CMOS process top problem. Moreover, a satisfactory value can be acquired about a cementation leak property as well as the 5th example.

[0109] In addition, each above-mentioned operation gestalt may be changed as follows, and can acquire the same operation and the same effect even in such a case.

(1) Place and replace the titanium films 6, 35, 50, and 57 with other metal membranes (a platinum film, cobalt film, etc.). By this, the titanium silicide films 7, 36, and 56 can also be placed and replaced with other silicide films (a platinum silicide film, cobalt silicide film, etc.). In that case, in order to form each above-mentioned metal silicide film, after forming the metal membrane concerned, the heat-treating method or the RTA method in the inside of an electric furnace is used, and 1st heat treatment is performed on condition that the following. A platinum silicide film (the processing time in the inside of 550-650 degrees C and an electric furnace: processing temperature : a 30-minute about room, RTA the processing time of law : about 60 seconds), a cobalt silicide film (the processing time in the inside of 600-700 degrees C and an electric furnace: processing temperature : a 30-minute about room, RTA the processing time of law : about 60 seconds).

[0110] In the 1st heat treatment, if processing temperature becomes high from the above-mentioned temperature requirement, since silicide-ization will progress too much and residue will arise, when there is a possibility that a bridge may be generated and processing temperature becomes low, there is a possibility that the resistance of a metal silicide film may become high. Moreover, when the 1st heat treatment time amount is longer than the above, or in being short, there is the respectively same orientation as the case where processing temperature is high, or the case of being low.

[0111] Moreover, there are the following as an etching reagent for carrying out wet etching of each above-mentioned metal silicide film. A platinum silicide film (mixed solution of the nitric acid, the hydrochloric acid, and water which were heated at about 80 degrees C (a mixing ratio is  $\text{HNO}_3:\text{HCl}:\text{H}_2\text{O}=1:1:5$ )), a cobalt silicide film (mixed solution of the hydrochloric acid, hydrogen peroxide solution, and water which were heated at about 60 degrees C (a mixing ratio is  $\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$ )).

[0112] And in order to form each above-mentioned metal silicide film into low resistance, 2nd heat treatment is performed at the following processing temperature. A platinum silicide film (processing temperature: 800-900 degrees C), a cobalt silicide film (processing temperature: 800-900 degrees C). In addition, about heat treatment time amount, it is the same as it of the 1st heat treatment. In the 2nd heat treatment, when there is orientation for diffusion of an impurity to increase too much and for the depth of cementation to become large if processing temperature becomes high from the above-mentioned temperature requirement and processing temperature becomes low, the orientation for diffusion of an impurity to decrease, for cementation not to become shallow too much or for pn junction to no longer be formed is. Moreover, when the 2nd heat treatment time amount is longer than the above, or in being short, there is the respectively same orientation as the case where processing temperature is high, or the case of being low.

[0113] In addition, when the metal silicide film is fully formed into low resistance by the 1st heat treatment, the 2nd heat treatment may be excluded.

(2) Place and replace the titanium films 35 and 57 which doped Lynn with the titanium film which doped the arsenic in the 3rd operation gestalt and the 6th operation gestalt. The formation method of the titanium film which doped the arsenic only places and replaces boron with an arsenic in the formation method of the boron doped titanium film 6, and other conditions are the same.

[0114] (3) When forming the metal membrane (titanium films 6, 35, 50, and 57) by which the impurity was doped using the magnetron sputtering method, arrange the target of a metal simple substance, and the target of an impurity simple substance side by side not using an alloy target in magnetron sputtering equipment.

(4) Use a CVD method for the formation method of a metal membrane (titanium films 6, 35, 50, and 57) that the impurity was doped.

[0115] In that case, in order to form a titanium film, a titanium chloride ( $\text{TiCl}_4$ ), TDMAT (Tetrakis-Dimethylamido-Titanium), TDEAT (Tetrakis-Diethylamino-Titanium), etc. are used as material gas. for forming a platinum film -- as material gas -- Cyclopentadienyl allyl Platinum etc. -- it uses. for forming a cobalt film -- as material gas -- Bis-methylcyclopentadienyl Cobalt etc. -- it uses.

[0116] And the metal membrane by which the impurity was doped is formed by adding the gas which contained impurities, such as 3 TMB, TMP (Trimethylphosphine), diboron hexahydride, phosphine, arsine, boron, etc. fluoride ( $\text{BF}_3$ ), in the above-mentioned material gas of a metal membrane.

(5) Place and replace the BSG film for forming the sidewall spacer 21 with a PSG film or an AsSG film in the 2nd operation gestalt. And the boron doped titanium film 6, the titanium silicide film 7, and the shallow high-concentration cementation field 8 are established in the phosphorus doped titanium film 35, the titanium silicide film 36, and the shallow high-concentration cementation field 37, respectively, are replaced with, and the n channel MOS transistor of LDD structure is formed.

[0117] (6) Use together the 2nd operation gestalt, and the above (5) and the 3rd operation gestalt, and manufacture the CMOS transistor of LDD structure....

(7) PVD (Physical VaporDeposition) of the wide sense which includes spatters other than the magnetron sputtering method (a coincidence spatter, bias spatter, etc.) or a vacuum deposition method, the ion plating method, the ion beam deposition method, the cluster ion beam method, etc. in case the metal membrane (titanium films 6, 35, 50, and 57) by which the impurity was doped is formed -- use law.

[0118] (8) Place and replace the single crystal silicon substrates 1 and 71 with a single-crystal-silicon film, a polish recon film, and an amorphous silicon film, and form a thin film transistor.

(9) Form the gate insulator layer 3 by the proper insulator layers (silicon nitride etc.) and those cascade screens other than silicon oxide.

(10) Form the sidewall spacers 5, 34, and 76 according to the titanium films 6 and 35 and the proper quality of the materials (silicon nitride etc.) which do not react. When the titanium films 6, 35, 50, and 57 are placed and replaced with other metal membranes, the sidewall spacers 5, 34, and 76 are formed with the metal membrane and the quality of the material which does not react.

[0119] (11) The above (1) It carries out combining - (10) respectively.

As mentioned above, although each operation gestalt was explained, technical thought other than the claim which can be grasped from each operation gestalt is indicated with those effects below.

(b) The manufacture method of the semiconductor device which heat-treats again at an elevated temperature from said heat treatment after said heat treatment in the manufacture method of the semiconductor device a publication in any 1 term of claims 7-11.

[0120] If it does in this way, a silicide film can be further formed into low resistance.

(b) The manufacture method of the semiconductor device equipped with the production process which forms an interlayer insulation film all over the device formed at the aforementioned production process, the production process which forms the contact hole for contacting said silicide film in the interlayer insulation film, and the production process which is filled up with an electrical conducting material and forms a wiring layer in the contact hole in the manufacture method of a semiconductor device given in any 1 term of claims 7-11.

[0121] If it does in this way, contact to the low silicide film and low wiring layer of contact resistance is realizable. By the way, in this specification, the member concerning the configuration of invention shall be defined as follows.

(a) With a silicon layer, not only a single crystal silicon substrate but a well, a single-crystal-silicon film, a polish recon film, and an amorphous silicon film shall be included.

[0122] (b) With PVD, not only spatters, such as a coincidence spatter, the bias spatter method, and the magnetron sputtering method, but a vacuum deposition method, the ion plating method, the ion beam deposition method, the cluster ion beam method, etc. shall be included.

[0123]

[Effect of the Invention]

1] The semiconductor device which is low resistance and was equipped with shallow cementation, and its manufacture method can be offered.

2] The semiconductor device equipped with the highly efficient transistor and its manufacture method can be offered.

[0124] 3] The semiconductor device equipped with the metal membrane by which the impurity was doped, and its manufacture method can be offered.

4] The target used by the manufacture method of the semiconductor device of above-mentioned 1] or 2] can be offered.

---

[Translation done.]